



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0080091
(43) 공개일자 2018년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) H01L 23/544 (2006.01)
H01L 33/48 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 23/544 (2013.01)
(21) 출원번호 10-2017-0104611
(22) 출원일자 2017년08월18일
심사청구일자 없음
(30) 우선권주장
62/441,579 2017년01월03일 미국(US)
(뒷면에 계속)

(71) 출원인
이노릭스 코퍼레이션
중화민국 타이완 미아오리 카운티 350 주난 신추
사이언스 파크 주난 사이트 케슈 로드 넘버 160
(72) 발명자
쿠안-펑 리
대만 미아오-리 카운티 추-난 35053 신추 사이언
스 파크 추-난 사이트 케스유에 로드 넘버 160
썬/오
유-시엔 우
대만 미아오-리 카운티 추-난 35053 신추 사이언
스 파크 추-난 사이트 케스유에 로드 넘버 160
썬/오
(74) 대리인
김경희

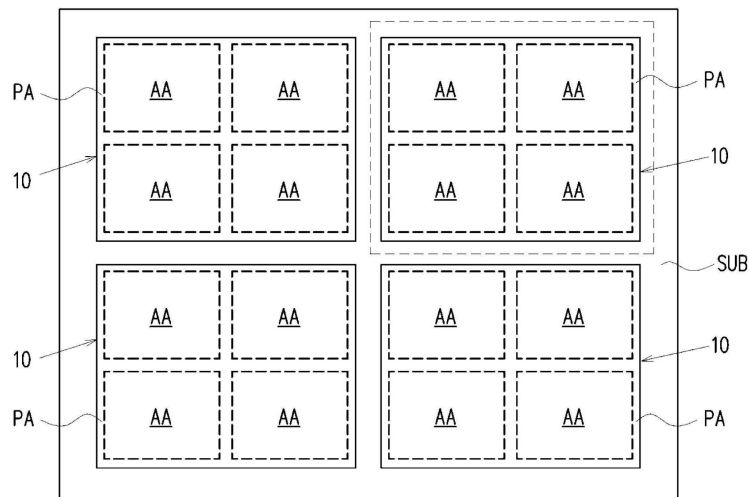
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 표시 장치에 관한 것이다. 상기 표시 장치는 기관, 복수의 트랜지스터, 복수의 표시 유닛 및 복수의 얼라인먼트 마크를 포함한다. 상기 기관은 표시 영역 및 상기 표시 영역에 인접한 비표시 영역을 포함한다. 상기 복수의 트랜지스터는 상기 기관의 표시 영역 상에 배치된다. 상기 복수의 표시 유닛은 상기 기관의 표시 영역 상에 배치되고, 상기 복수의 표시 유닛은 상기 복수의 트랜지스터와 전기적으로 접속된다. 상기 복수의 얼라인먼트 마크는 상기 기관 상에 배치되고, 상기 복수의 얼라인먼트 마크 중 적어도 1개는 상기 기관의 표시 영역 상에 배치된다.

대표도



(52) CPC특허분류

H01L 33/48 (2013.01)

(30) 우선권주장

62/450,106 2017년01월25일 미국(US)

15/590,030 2017년05월09일 미국(US)

명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역에 인접한 비표시 영역을 포함하는 기판;
상기 기판의 표시 영역 상에 배치된 복수의 트랜지스터;
상기 기판의 표시 영역에 배치되고, 상기 복수의 트랜지스터와 각각 전기적으로 접속되는 복수의 표시 유닛; 및
상기 기판 상에 배치된 복수의 얼라인먼트 마크를 포함하며,
상기 복수의 얼라인먼트 마크 중 적어도 1개는 상기 기판의 표시 영역 상에 배치되는 표시 장치.

청구항 2

제 1항에 있어서, 상기 복수의 얼라인먼트 마크 중 적어도 다른 1개가 상기 기판의 비표시 영역 상에 배치되는 표시 장치.

청구항 3

제 1항에 있어서, 상기 복수의 트랜지스터 중 1개가 게이트 전극을 포함하고, 상기 복수의 얼라인먼트 마크 중 적어도 1개 및 상기 게이트 전극은 동일한 재료를 포함하는 표시 장치.

청구항 4

제 1항에 있어서, 상기 복수의 트랜지스터 중 1개는 소스/드레인 전극을 포함하고, 상기 복수의 얼라인먼트 마크 중 적어도 1개 및 상기 소스/드레인 전극은 동일한 재료를 포함하는 표시 장치.

청구항 5

제 1항에 있어서, 상기 복수의 트랜지스터 상에 배치되고, 개구를 포함하는 절연층; 및
상기 개구에 배치되고, 상기 복수의 표시 유닛 중 적어도 1개와 전기적으로 접속되는 픽셀 전극을 더 포함하고,
상기 복수의 얼라인먼트 마크 중 적어도 1개 및 상기 픽셀 전극은 동일한 재료를 포함하는 표시 장치.

청구항 6

제 1항에 있어서, 상기 복수의 표시 유닛의 수는 상기 기판의 표시 영역 상에 배치된 복수의 얼라인먼트 마크의 수보다 많은 표시 장치.

청구항 7

제 1항에 있어서, 상기 복수의 표시 유닛은 발광 다이오드인 표시 장치.

청구항 8

제 1항에 있어서, 상기 복수의 얼라인먼트 마크 및 상기 복수의 표시 유닛은 오버래핑되지 않는 표시 장치.

청구항 9

베이스 기판;
상기 베이스 기판 상에 배치된 트랜지스터;
상기 베이스 기판 상에 배치된 얼라인먼트 마크; 및
상기 트랜지스터 상에 배치되고, 상기 트랜지스터와 전기적으로 접속되며 마이크로 발광 다이오드인 표시 유닛을 포함하는 표시 장치.

청구항 10

제 9항에 있어서, 상기 베이스 기판은 표시 영역 및 상기 표시 영역에 인접한 비표시 영역을 포함하고, 상기 얼라인먼트 마크는 상기 베이스 기판의 비표시 영역 상에 배치되는 표시 장치.

청구항 11

제 9항에 있어서, 상기 트랜지스터는 게이트 전극을 포함하고, 상기 얼라인먼트 마크 및 상기 게이트 전극은 동일한 재료를 포함하는 표시 장치.

청구항 12

제 9항에 있어서, 상기 트랜지스터는 소스/드레인 전극을 포함하고, 상기 얼라인먼트 마크 및 상기 소스/드레인 전극은 동일한 재료를 포함하는 표시 장치.

청구항 13

제 9항에 있어서,

상기 트랜지스터 상에 배치되고, 개구를 포함하는 절연층; 및

상기 개구에 배치되고, 상기 표시 장치에 전기적으로 접속된 픽셀 전극을 더 포함하고,

상기 얼라인먼트 마크 및 상기 픽셀 전극은 동일한 재료를 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 출원은 2017년 1월 3일자로 제출된 미국 가출원 제62/441,579 및 2017년 1월 25일자로 제출된 미국 가출원 제62/450,106의 우선권 이익을 주장한다. 상기 각각의 특허출원의 전체는 본원에 참조로 포함되고, 본원의 일부를 이룬다.

[0002] 본 출원은 장치에 관한 것이고, 특히 표시 장치에 관한 것이다.

배경 기술

[0003] 발광 다이오드(LED) 표시 장치는 능동형 발광, 고휘도, 고콘트라스트비 및 저전력 소모 등의 장점을 가지기 때문에, 최근 활발히 개발되는 신장치의 기술 중 하나로 되고 있다. 고해상력의 요구를 만족시키기 위해, 마이크로미터 사이즈를 갖고, 어레이에 배열된 LED 및 능동형 소자 기판에 의해 형성되는 방향으로 LED 표시 장치가 개발되고 있다.

발명의 내용

[0004] 본 발명은 제작 시에 장치를 이송하기 위해 필요한 시간이 보다 짧고, 기판 상으로 표시 유닛을 이송하는데 있어서 보다 양호한 정밀도를 가질 수 있는 표시 장치를 제공한다.

[0005] 일 실시형태에 있어서, 본 발명의 표시 장치는 기판, 복수의 트랜지스터, 복수의 표시 유닛 및 복수의 얼라인먼트 마크를 포함한다. 상기 기판은 표시 영역 및 상기 표시 영역에 인접한 비표시 영역을 포함한다. 상기 복수의 트랜지스터는 상기 기판의 표시 영역 상에 배치된다. 상기 복수의 표시 유닛은 상기 기판의 표시 영역에 배치되고, 상기 복수의 표시 유닛은 상기 복수의 트랜지스터와 각각 전기적으로 접속된다. 상기 복수의 얼라인먼트 마크는 상기 기판 상에 배치되고, 여기서, 상기 복수의 얼라인먼트 마크 중 적어도 1개는 상기 기판의 표시 영역 상에 배치된다.

[0006] 다른 실시형태에 있어서, 본 발명의 표시 장치는 베이스 기판, 트랜지스터, 얼라인먼트 마크 및 표시 유닛을 포함한다. 상기 트랜지스터는 상기 베이스 기판 상에 배치된다. 상기 얼라인먼트 마크는 상기 베이스 기판 상에 배치된다. 상기 표시 유닛은 상기 트랜지스터 상에 배치되고, 상기 트랜지스터와 전기적으로 접속되고, 여기서, 상기 표시 유닛은 마이크로 디스플레이 다이오드이다.

[0007] 본 발명의 상술한 목적 및 다른 목적, 그리고 이점을 이해하기 쉽게 하기 위해서, 이하에 도면을 수반한 실시형

태가 상세하게 설명된다.

도면의 간단한 설명

[0008]

본 발명의 양태는 첨부하는 도면과 함께 관독될 때에 하기 상세한 설명으로부터 가장 잘 이해된다. 당해 기술분야의 표준 관행에 따르면, 다양한 특징들이 실제 비율로 묘사되지 않는다는 것을 유의해야 한다. 실제로 다양한 형태의 치수는 논의의 명확성을 위해 임의로 늘리거나 또는 줄일 수 있다.

도 1은 본 발명의 표시 장치를 갖는 캐리어 기관의 개략 상면도이다.

도 2는 본 발명의 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다.

도 3은 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다.

도 4는 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다.

도 5는 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다.

도 6은 본 발명의 실시형태에 따른 표시 장치 일부의 개략 단면도이다.

도 7은 본 발명의 다른 실시형태에 따른 표시 장치 일부의 개략 단면도이다.

도 8은 본 발명의 다른 실시형태에 따른 표시 장치 일부의 개략 단면도이다.

도 9는 본 발명의 다른 실시형태에 따른 표시 장치 일부의 개략 단면도이다.

도 10a는 본 발명의 제 1 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다.

도 10b는 도 10a에 도시한 표시 장치의 개략 평면도이다.

도 11a는 본 발명의 제 1 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계에서 사용되는 피킹 장치의 개략 단면도이다.

도 11b는 도 11a에 도시한 피킹 장치의 개략 평면도이다.

도 12a는 본 발명의 제 1 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다.

도 12b는 도 12a에 도시한 표시 장치의 개략 평면도이다.

도 13a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다.

도 13b는 도 13a에 도시한 표시 장치의 개략 평면도이다.

도 14a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계에 사용되는 피킹 장치의 개략 단면도이다.

도 14b는 도 14a에 도시한 피킹 장치의 개략 단면도이다.

도 15a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다.

도 15b는 도 15a에 도시한 표시 장치의 개략 평면도이다.

도 16a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계에 사용되는 피킹 장치의 개략 단면도이다.

도 16b는 도 16a에 도시한 피킹 장치의 개략 평면도이다.

도 17a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다.

도 17b는 도 17a에 도시한 표시 장치의 개략 평면도이다.

도 18a~도 18d는 표시 패널 상에 배치된 얼라인먼트 마크와 피킹 장치에 배치된 얼라인먼트 마크 간의 상대 위치의 개략 상면도이다.

도 19는 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명한다. 가능하면, 도면 및 설명에 있어서, 동일하거나 유사한 부분을 나타내기 위해서 동일한 참조 부호가 사용된다.
- [0010] 본 명세서에 있어서, 구조체 상부에 또는 구조체 상에 다른 구조체를 형성하는 설명은 구조체와 다른 구조체 사이에 직접 접촉을 형성하는 실시형태를 포함할 수 있고, 또한, 구조체와 다른 구조체 사이에 추가 구조체를 형성하여 구조체가 다른 구조체와 직접 접촉하지 않을 수 있는 실시형태를 포함할 수 있다.
- [0011] 도 1은 본 발명의 표시 장치를 갖는 캐리어 기관의 개략 상면도이다. 도 2는 본 발명의 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다. 도 6은 본 발명의 실시형태에 따른 표시 장치 일부의 개략 단면도이다. 도 7은 본 발명의 다른 실시형태에 따른 표시 장치 일부의 개략 단면도이다. 도 6 및 도 7은 도 2에 도시된 단면선 A-A', B-B' 및 C-C'을 따른 표시 장치 일부의 단면도를 나타낸다.
- [0012] 도 1 및 도 2를 참조하여, 표시 패널을 갖는 캐리어 기관(SUB)이 제공된다. 상기 실시형태에 있어서, 상기 표시 패널은 표시 장치(10)일 수 있다. 일부 실시형태에 있어서, 예를 들면, 상기 캐리어 기관(SUB)은 4개의 표시 장치(10)를 포함하고, 예를 들면, 각각의 상기 표시 장치(10)는 표시 유닛을 이송하는 4개의 얼라인먼트 영역(100A)을 갖는 기관(101)을 포함한다. 상기 기관(101)의 재료는 유리, 석영, 유기 폴리머(예를 들면, 폴리이미드, 폴리에틸렌테레프탈레이트, 폴리카보네이트, PMMA 등), 불투명/반사 재료(예를 들면, 도전성 재료, 금속, 웨이퍼, 세라믹 등) 및 기타 사용 가능한 재료의 단일층 또는 이들의 적층체, 또는 상기 적어도 2개의 재료의 적층체 또는 혼합물일 수 있지만, 본 발명이 이들로 한정되는 것은 아니다. 그러나, 다른 실시형태에 있어서, 상기 캐리어 기관(SUB)은 4개 미만의 표시 장치 또는 4개 초과와 표시 패널을 포함할 수 있고, 이들 표시 장치는 각각 표시 유닛을 이송하는 4개 미만 또는 4개 초과와 영역을 포함할 수 있지만, 본 발명이 이들로 한정되는 것은 아니다. 명확성을 위해서, 상기 표시 장치(10)에서의 얼라인먼트 영역(100A)의 구성이 동일하기 때문에, 이하의 설명에 있어서, 각각의 표시 패널(10)의 상세한 구조가 1개의 표시 장치(10)의 1개의 얼라인먼트 영역(100A)으로 상술될 수 있다.
- [0013] 상기 실시형태에 있어서, 도 2 및 도 6에 나타난 바와 같이, 상기 표시 장치(10)는 표시 영역(AA), 상기 표시 영역(AA)에 인접한 비표시 영역(PA)을 갖는다. 도 2 및 도 6에 나타난 바와 같이, 상기 표시 장치(10)는 상기 표시 영역(AA) 상에 배치된 표시 유닛(130) 및 트랜지스터(T)를 갖는 복수의 서브픽셀 유닛(UI), 상기 표시 영역(AA) 상에 배치된 복수의 얼라인먼트 마크(AM1) 및 비표시 영역(PA) 상에 배치된 복수의 얼라인먼트 마크(AM2)를 포함한다. 또한, 상기 표시 장치(10)는 스캔 라인 및 데이터 라인(도시생략), 버퍼층(102), 게이트 절연층(103), 복수의 절연층(104/105/106/107/108), 픽셀 전극(120), 충전 재료(140), 도전성 전극(150) 및 보호층(109)을 포함한다.
- [0014] 도 2를 참조하여, 상기 서브픽셀 유닛(UI)이 상기 표시 영역(AA) 상에 배치되고, 상기 서브픽셀 유닛(UI)이 X방향 및 Y방향을 따른 어레이에 배열된다. 실시형태에 있어서, 상기 서브픽셀 유닛(UI)은 6×8 어레이의 형태로 배열되지만, 당해 기술분야의 당업자들은 도 2에 도시된 복수의 서브픽셀 유닛(U1)에 의해 형성된 어레이가 요구에 따른 어레이로 배열된 복수의 서브 픽셀 유닛으로 구성되고, 본 출원에 있어서 상기 서브 픽셀 유닛의 수는 특별히 한정되지 않음이 이해되어야 한다. 도 6에 있어서, 1개의 서브픽셀 유닛(U1)의 도 2에 도시한 단면선 B-B'를 따른 단면도가 설명되고, 도 2에 도시된 단면선 A-A' 및 단면선 C-C'에 따른 얼라인먼트 마크(AM1) 및 얼라인먼트 마크(AM2)의 단면도가 설명되어 당업자들은 본 발명을 명확하게 이해할 수 있다. 또한, 도 2 및 도 6에 나타난 바와 같이, 상기 서브 픽셀 유닛(U1)의 각각은 도 6에 나타난 바와 같은 트랜지스터 및 표시 소자를 포함하는 것에 유의해야 한다. 그러나, 본 발명은 각각의 서브 픽셀 유닛(U1)이 1개의 트랜지스터 및/또는 1개의 표시 유닛을 포함하도록 제한하지 않고 상기 트랜지스터 및 표시 유닛의 수는 한정되지 않는다. 상기 트랜지스터 및 상기 표시 유닛의 수는 1개 이상일 수 있고, 요구에 따라서 설계되고 선택될 수 있다. 예를 들면, 도 7에 나타난 바와 같이, 상기 서브 픽셀 유닛(U1)은 1개의 트랜지스터(T) 및 상기 트랜지스터(T)에 전기적으로 접속된 3개의 표시 유닛(130)을 포함할 수 있고, 상기 표시 유닛(130)은 상기 픽셀 전극(120)을 통해 직렬로 전기적으로 접속된다. 한편, 본 발명에 있어서, 상기 복수의 표시 유닛(130)의 수는 상기 기관(101)의 표시 영역(AA) 상에 배치된 복수의 얼라인먼트 마크(AM1)의 수보다 많다.
- [0015] 도 2 및 도 6을 참조하면, 경우에 따라서, 상기 버퍼층(102)이 상기 기관(101) 상에 배치된다. 상기 버퍼층(102)의 재료는 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드 또는 상기 재료의 적층체가 포함될 수 있지만, 이들로 한정되지 않는다.
- [0016] 상기 실시형태에 있어서, 상기 트랜지스터(T)는 상기 기관(101) 및 상기 버퍼층(102) 상에 배치된다. 상기 실시형태에 있어서, 상기 트랜지스터(T)는 반도체층(110), 게이트 전극(112), 소스/드레인 전극(114) 및 소스/드레

인 전극(116)을 포함한다. 상기 실시형태에 있어서, 상기 게이트 전극(112)은 반도체층(110) 상에 위치된다. 구체적으로, 상기 반도체층(110)은 제 1 영역(S/D), 제 2 영역(S/D) 및 상기 제 1 영역(S/D) 및 제 2 영역(S/D) 사이에 위치한 채널 영역(CH)을 포함한다. 상기 실시형태에 있어서, 예를 들면, 상기 반도체층(110)의 재료는 선택적으로 저온 폴리실리콘 반도체 재료, 비정질 실리콘 반도체 재료, 옥사이드 반도체 재료, 유기 반도체 재료 또는 기타 반도체 재료일 수 있다. 전기 전도도를 고려하면, 상기 게이트 전극(112)은 금속 재료로 이루어지는 경우가 많다. 그러나, 본 발명은 이들로 한정되지 않는다. 본 발명의 다른 실시형태에 따라서, 상기 게이트 전극(112)은 다른 도전성 재료로 이루어질 수도 있다. 예를 들면, 상기 금속 재료는 도전성 재료(합금, 금속 나이트라이드 재료, 금속 옥사이드 재료, 금속 옥시나이트라이드 재료 또는 기타 적합한 재료 등) 또는 상기 금속 재료 및 임의의 다른 도전성 재료를 함유하는 적층체를 포함한다.

[0017] 상기 게이트 절연층(103)은 상기 반도체층(110) 및 상기 게이트 전극(112) 사이에 배치되고, 상기 게이트 절연층(103)은 상기 반도체층(110) 상에 컨포멀하게 형성되어 상기 반도체층(110)을 피복한다. 상기 게이트 절연층(103)의 재료는 무기 재료(실리콘 옥사이드, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등), 유기 재료(폴리이미드 수지, 에폭시 수지 또는 아크릴 수지 등) 또는 상기 절연 재료와 임의의 다른 절연 재료를 함유하는 적층체를 포함할 수 있다.

[0018] 도 6에 나타난 바와 같이, 상기 절연층(104) 및 상기 절연층(105)은 상기 게이트 전극(112) 상에 배치되고, 상기 절연층(105)은 상기 절연층(104) 상에 위치된다. 구체적으로, 제조 공정 동안에 상기 게이트 전극이 손상되는 것을 억제하기 위해 상기 절연층(104) 및 상기 절연층(105)이 모두 사용되고, 여기서, 상기 절연층(105)은 패시베이션층으로서도 기능할 수 있어 플레팅 기능을 제공한다. 상기 절연층(104) 및 상기 절연층(105)의 재료는 무기 재료(실리콘 옥사이드, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등), 유기 재료(폴리이미드 수지, 에폭시 수지 또는 아크릴 수지 등) 또는 상기 절연성 재료 및 기타 다른 절연성 재료를 함유하는 적층체를 포함할 수 있다.

[0019] 상기 실시형태에 있어서, 상기 소스/드레인 전극(114) 및 소스/드레인 전극(116)이 상기 게이트 전극(112) 상에 배치된다. 도 6에 나타난 바와 같이, 상기 소스/드레인 전극(114)이 상기 절연층(104) 및 상기 절연층(105)에 형성된 제 1 비어홀을 통해 제 1 영역에 물리적으로 접촉되고; 동일하게 상기 소스/드레인 전극(116)이 상기 절연층(104) 및 상기 절연층(105)에 형성된 제 2 비어홀을 통해 제 2 영역(S/D)에 물리적으로 접촉된다. 상기 소스/드레인 전극(114) 및 상기 소스/드레인 전극(116)의 재료는 금속 재료(알루미늄, 몰리브덴, 티탄, 금 인듐, 주석 또는 그들의 조합 등), 금속 옥사이드 또는 다른 반도체 재료를 포함할 수 있다. 이와 같이, 상기 트랜지스터(T)는 적어도 상기 반도체층(110), 게이트 전극(112), 소스/드레인 전극(114) 및 소스/드레인 전극(116)을 포함한다.

[0020] 도 6을 참조하여, 상기 절연층(106) 및 상기 절연층(107)은 상기 트랜지스터(T) 상에 배치되고, 여기서, 상기 절연층(107)은 상기 절연층(106) 상에 위치된다. 구체적으로, 상기 절연층(107) 및 상기 절연층(106)은 제조 공정 동안에 상기 트랜지스터(T)가 손상되는 것을 방지하기 위해 모두 사용되고, 여기서, 상기 절연층(107)은 패시베이션층으로서 기능할 수도 있어 플레팅 기능을 제공한다. 상기 절연층(106) 및 상기 절연층(107)의 재료는 무기 재료(실리콘 옥사이드, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등), 유기 재료(폴리이미드 수지, 에폭시 수지 또는 아크릴 수지 등) 또는 상기 절연 재료 및 기타 다른 절연 재료를 함유하는 적층체를 포함할 수 있다.

[0021] 도 6을 참조하여, 상기 픽셀 전극(120)이 상기 트랜지스터(T) 상에 배치되고, 상기 트랜지스터(T)에 전기적으로 접촉된다. 상기 실시형태에 있어서, 상기 픽셀 전극(120)은 상기 절연층(106) 및 상기 절연층(107)에 형성된 개구를 통해 상기 트랜지스터(T)의 소스/드레인 전극(116)에 물리적으로 접촉된다. 구체적으로, 상기 절연층(106) 및 상기 절연층(107)에 형성된 개구는 상기 트랜지스터(T)의 일부(예를 들면, 상기 소스/드레인 전극(116)의 일부)를 노출한다. 상기 픽셀 전극(120)은 상기 개구(예를 들면, 상기 절연층(106)에 형성된 개구)의 일부를 메우고, 상기 개구(예를 들면, 상기 절연층(107)에 형성된 개구)의 일부의 하면 및 측벽을 피복하고, 상기 픽셀 전극(120)은 상기 트랜지스터(T)와 대면하는 절연층(107)의 표면으로 연장된다. 상기 실시형태에 있어서, 상기 픽셀 전극(120)은 상기 트랜지스터(T)의 픽셀 전극으로서 기능한다. 상기 픽셀 전극(120)의 재료는 알루미늄, 몰리브덴, 티탄, 금 인듐, 주석 또는 그들의 조합 등의 금속 재료를 포함할 수 있다. 일부 실시형태에 있어서, 상기 소스/드레인 전극(114), 상기 소스/드레인 전극(116) 및 상기 픽셀 전극(120)의 재료는 같거나 다를 수 있고, 본 발명은 이들로 한정되지 않는다.

[0022] 도 6에 나타난 바와 같이, 절연층(108)은 상기 절연층(107) 및 상기 픽셀 전극(120)의 일부 상에 배치된다. 한

편, 상기 픽셀 전극(120)의 일부는 절연층(108)에 의해 노출된다. 예를 들면, 상기 절연층(108)의 재료는 무기 재료, 유기 재료 또는 그들의 조합일 수 있고, 여기서, 상기 무기 재료는 예를 들면, 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드 또는 상기의 적어도 2개 재료의 적층체; 상기 유기 재료는, 예를 들면 폴리아미드 수지, 에폭시 수지 또는 아크릴 수지 등의 매크로분자 재료이다. 실시형태에 있어서, 상기 픽셀 전극(120) 및 절연층(108)이 함께 상기 표시 유닛(130)에 대해 수용 공간을 규정한다. 한편, 상기 수용 공간의 위치는 상기 픽셀 전극(120)의 위치에 상응한다.

[0023] 도 6을 참조하면, 상기 표시 유닛(130)은 상기 트랜지스터(T) 상에 배치되고, 상기 픽셀 전극(120)을 통해 상기 트랜지스터(T)에 전기적으로 접속된다. 상기 실시형태에 있어서, 상기 표시 유닛(130)은 제 1 도전성 타입의 반도체층(132), 활성층(134), 제 2 도전성 타입(136)의 반도체층(136), 전극(138a) 및 전극(138b)을 포함한다. 구체적으로, 상기 표시 유닛(130)은 제 1 요소(120) 및 절연층(108)으로 형성된 수용 공간에 배치되고, 상기 표시 유닛(130)은 상기 전극(138b)을 통해 상기 픽셀 전극(120)에 전기적으로 접속되어 상기 트랜지스터(T)는 상기 픽셀 전극(120)을 통해 상기 표시 유닛(130)을 구동할 수 있다. 일 실시형태에 있어서, 상기 제 1 도전성 타입의 반도체층(132)은 n-타입 반도체층일 수 있고, 상기 활성층(134)은 양자 우물 구조층일 수 있고, 상기 제 2 도전성 타입의 반도체층(136)은 p-타입 반도체층일 수 있고, 상기 전극(138a)은 n-타입 전극일 수 있으며, 상기 전극(138b)은 p-타입 전극일 수 있다. 그러나, 본 발명은 이들로 한정되지 않는다. 다른 실시형태에 있어서, 제 1 도전성 타입의 반도체층(132)이 p-타입 반도체층일 수 있고, 상기 활성층(134)이 양자 우물 구조층일 수 있고, 상기 제 2 반도체층(136)의 반도체층이 n-타입 반도체층일 수 있고, 상기 전극(138a)이 p-타입 전극일 수 있고, 상기 전극(138b)이 n-타입 전극일 수 있다. 상기 활성층(134)은 예를 들면, 다층 양자 우물 구조층일 수 있다. 상기 실시형태에 있어서, 상기 표시 유닛(130)은 발광 다이오드(LED) 또는 마이크로미터 레셀 사이즈의 LED(예를 들면, 마이크로 발광 다이오드(마이크로 LED))일 수 있고; 도 6에 나타난 바와 같이, 상기 표시 유닛(130)은 수직 발광 다이오드(LED)이지만, 본 발명은 이들로 한정되지 않는다. 다른 실시형태에 있어서, 상기 표시 유닛(130)은 플립칩 LED일 수 있다.

[0024] 충전 재료(140)가 상기 수용 공간을 메우고, 적어도 상기 표시 유닛(130)의 측면을 피복한다. 상기 충전 재료(140)의 재료는 예를 들면, 글루, 수지, 실리콘 옥사이드, 실리콘 나이트라이드 또는 언더필러를 포함할 수 있다. 또한, 상기 충전 재료(140)의 재료는 양자점 재료, 형광 분말 재료, 인 분말 재료 또는 이들의 조합이 더 포함될 수 있지만 이들로 한정되지는 않는다. 다른 실시형태에 있어서, 상기 충전 재료(140)는 상기 표시 유닛을 완전하게 캡슐화(encapsulation)할 수 있다.

[0025] 도 6을 참조하면, 상기 도전성 전극(150)이 상기 표시 유닛(130), 상기 충전 재료(140) 및 상기 절연층(108) 상에 배치된다. 상기 실시형태에 있어서, 상기 도전성 전극(150)은 상기 표시 유닛(130), 상기 충전 재료(140) 및 상기 절연층(108) 상에 컨포멀하게 형성된다. 상기 도전성 전극(150)은 상기 비표시 영역(PA) 상에 위치된 구동 회로의 소자(예를 들면, 전기적으로 접지된 터미널 패드 또는 트랜지스터)로부터 공통 전압을 받고, 상기 구동 회로는 당업자의 요구에 따라서 선택될 수 있고, 본 발명에서 특별히 제한하지 않으므로 본원의 설명으로부터 생략한다. 특정 실시형태에 있어서, 도전성 전극(150)은 상기 트랜지스터(T)의 공통 전극으로서 사용될 수 있다. 상기 도전성 전극(150)의 재료는 알루미늄, 몰리브덴, 티탄, 금 인듐, 주석 또는 그들의 조합 등의 금속 재료를 포함할 수 있다. 상기 도전성 전극(150)의 재료는 상기 소스/드레인 전극(114), 상기 소스/드레인 전극(116) 및 픽셀 전극(120)의 것과 같거나 다를 수 있고; 본 발명은 이들로 한정되지 않는다.

[0026] 보호층(109)이 상기 기판(101) 상에 배치된다. 도 6에 나타난 바와 같이, 상기 보호층(109)은 상기 절연층(108) 및 도전성 전극(150) 상에 컨포멀하게 형성된다. 상기 보호층(109)은 제조 공정 동안에 상기 표시 유닛(130) 및 도전성 전극(150)이 손상되는 것을 방지한다. 상기 절연층(109)의 재료는 예를 들면, 무기 재료, 유기 재료 또는 그들의 조합일 수 있고, 상기 무기 재료는 예를 들면, 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시 나이트릴 또는 상술의 적어도 2개 재료의 적층체이고; 상기 유기 재료는, 예를 들면, 폴리아미드 수지, 에폭시 수지 또는 아크릴 수지 등의 매크로분자 재료이다.

[0027] 일부 실시형태에 있어서, 상기 버퍼층(102), 상기 절연층(103), 상기 절연층(104), 상기 절연층(105), 상기 절연층(106), 상기 절연층(107), 상기 절연층(108) 및 상기 보호층(109)의 재료가 서로 같거나 다를 수 있다. 본 발명은 이들로 한정되지 않는다.

[0028] 도 2 및 도 6에 나타난 바와 같이, 상기 얼라인먼트 마크(AM1)가 상기 기판(101)의 표시 영역(AA)에 위치되고, 상기 얼라인먼트 마크(AM2)가 상기 기판(101)의 비표시 영역(PA) 상에 위치된다. 상기 실시형태에 있어서, 도 6에 나타난 바와 같이, 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)가 상기 게이트 전극(112)과 동

일한 층에 형성되지만; 본 발명은 이들로 한정되지 않는다. 일 실시형태에 있어서, 도 8에 나타난 바와 같이, 상기 얼라인먼트 마크(AM') 및 상기 얼라인먼트 마크(AM2')는 제 1 소스/드레인 전극(114) 및 상기 소스/드레인 전극(116)과 동일한 층에 형성된다. 다른 일 실시형태에 있어서, 도 9에 나타난 바와 같이, 상기 얼라인먼트 마크(AM1'') 및 상기 얼라인먼트 마크(AM2'')가 상기 픽셀 전극(120)과 동일한 층에 형성된다. 일 실시형태에 있어서, 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)는 예를 들면, 상기 게이트 전극(112), 상기 소스/드레인 전극(114), 상기 소스/드레인 전극(116) 및 상기 픽셀 전극(120)의 군에서 선택되는 2개의 다른 층에 형성될 수 있다. 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)는 상기 표시 유닛(130)으로 오버래핑되지 않는다.

[0029] 도 2를 참조하면, 각각의 얼라인먼트 영역(100A)이 상기 표시 영역(AA)의 대각선 연장 방향을 따라 위치되는 비표시 영역 상의 2개의 다른 위치에 위치된 1쌍의 얼라인먼트 마크(AM2)를 갖고, 각각의 서브 픽셀 유닛(U1)이 상기 서브 픽셀 유닛(U1)의 대각선의 연장 방향을 따라 위치되는 서브 픽셀 유닛(U1) 상에 2개 다른 위치에 위치된 한쌍의 얼라인먼트 마크(AM1)를 갖는다. 그러나, 본 발명은 이들로 한정되지 않는다.

[0030] 도 3은 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다. 도 2 및 도 3을 모두 참조하면, 도 2에 도시된 표시 장치(10) 및 도 3에 도시된 표시 장치(20)는 동일하고, 차이점은 도 3에 도시된 표시 장치(20)에 대해서 상기 표시 장치(20)의 각각의 얼라인먼트 영역(100B)이 상기 표시 영역(AA)의 대각선의 연장 방향을 따라 위치하는 비표시 영역 상에 2개 다른 위치에 위치된 1쌍의 얼라인먼트 마크(AM2)를 갖고, 각각의 서브 픽셀 유닛(U1)이 상기 서브 픽셀 유닛(U1)의 2개의 대각선의 연장하는 방향을 따라 위치하는 상기 서브 픽셀 유닛(U1) 상의 4개의 다른 위치에 각각 위치된 2쌍의 얼라인먼트 마크(AM1)를 갖는다는 것이다. 한편, 상기 얼라인먼트 마크(AM1)는 상기 서브 픽셀 유닛(U1)의 4개의 코너에 각각 위치된다.

[0031] 도 4는 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다. 도 2 및 도 4를 함께 참조하면, 도 2에 도시된 표시 장치(10) 및 도 4에 도시된 표시 장치(30)가 동일하고, 그 차이점은 도 4에 도시된 표시 장치(30)에 대해서, 상기 표시 장치(30)의 각각의 얼라인먼트 영역(100C)이 상기 표시 영역(AA)의 2개의 대각선의 연장하는 방향을 따라 위치하는 상기 비표시 영역 상에 4개의 다른 위치에 각각 위치된 2쌍의 얼라인먼트 마크(AM2)를 갖고, 각각의 서브 픽셀 유닛(U1)은 상기 서브 픽셀 유닛(U41)의 대각선의 연장하는 방향을 따라 위치하는 상기 서브 픽셀 유닛(U1) 상에 2개의 다른 위치에 위치된 1쌍의 얼라인먼트 마크(AM1)를 갖는다는 것이다. 한편, 상기 얼라인먼트 마크(AM2)는 상기 얼라인먼트 영역(110C)의 4개의 코너 상 및 상기 비표시 영역 상에 각각 위치된다.

[0032] 도 5는 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다. 도 2와 도 4를 함께 참조하면, 도 2에 도시된 표시 장치(10) 및 도 5에 도시된 표시 장치(40)는 동일하고, 그 차이점은 도 5에 도시된 표시 장치(40)에 대해서, 상기 표시 영역(AA)의 2개의 대각선의 연장 방향을 따라 위치하는 비표시 영역 상의 4개의 다른 위치에 각각 위치된 2쌍의 얼라인먼트 마크(AM2)를 갖고, 서브 픽셀 유닛(U1)의 각각은 상기 서브 픽셀 유닛(U1)의 2개의 대각선의 연장 방향을 따라 위치하는 서브 픽셀 유닛(U1) 상의 4개의 다른 위치에 각각 위치된 2쌍의 얼라인먼트 마크(AM1)를 갖는다는 것이다.

[0033] 다른 실시형태(도시하지 않음)에 있어서, 2개의 다른 서브 픽셀 유닛(U1)에 독립적으로 위치된 (도 2 및 도 4에 도시한 바와 같은) 2개의 인접한 얼라인먼트 마크(AM1)가 1개의 얼라인먼트 마크(AM1)로 치환될 수 있고, 여기서, 상기 1개의 얼라인먼트 마크는 상기 2개의 서브 픽셀 유닛(U1)에 의해 공유된다. 다른 실시형태(도시하지 않음)에 있어서, 4개의 다른 서브픽셀 유닛(U1)에 독립적으로 위치된 (도 3 및 도 5에 도시한 바와 같은) 4개의 인접한 얼라인먼트 마크(AM1)가 1개의 얼라인먼트 마크(AM1)로 치환될 수 있고, 여기서, 상기 1개의 얼라인먼트 마크는 상기 4개의 서브 픽셀 유닛(U1)에 의해 공유된다.

[0034] 또한, 일부 실시형태에 있어서, 상기 표시 장치(10)는 대면하는 기관(도시하지 않음)을 포함할 수 있고, 상기 대면하는 기관은 컬러필터층, 파장 변환층, 블랙 매트릭스층 및 다른 절연층 중 적어도 어느 1개를 갖는 기관을 포함할 수 있고, 상기 소자의 재료 및 위치 구성은 공지이고, 당업자의 요구에 따라 설계되고 선택될 수 있으므로 본원에서는 설명을 생략한다.

[0035] 도 10은 본 발명의 제 1 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다. 도 10b는 도 10a에 도시된 표시 장치의 개략 평면도이다. 도 11a는 본 발명의 제 1 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계에 사용된 피킹 장치의 개략 단면도이다. 도 11b는 도 11a에 도시된 피킹 장치의 개략 평면도이다. 도 12a는 본 발명의 제 1 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다. 도 12b는 도 12a에 도시된 표시 장치의 개략 평면도이다.

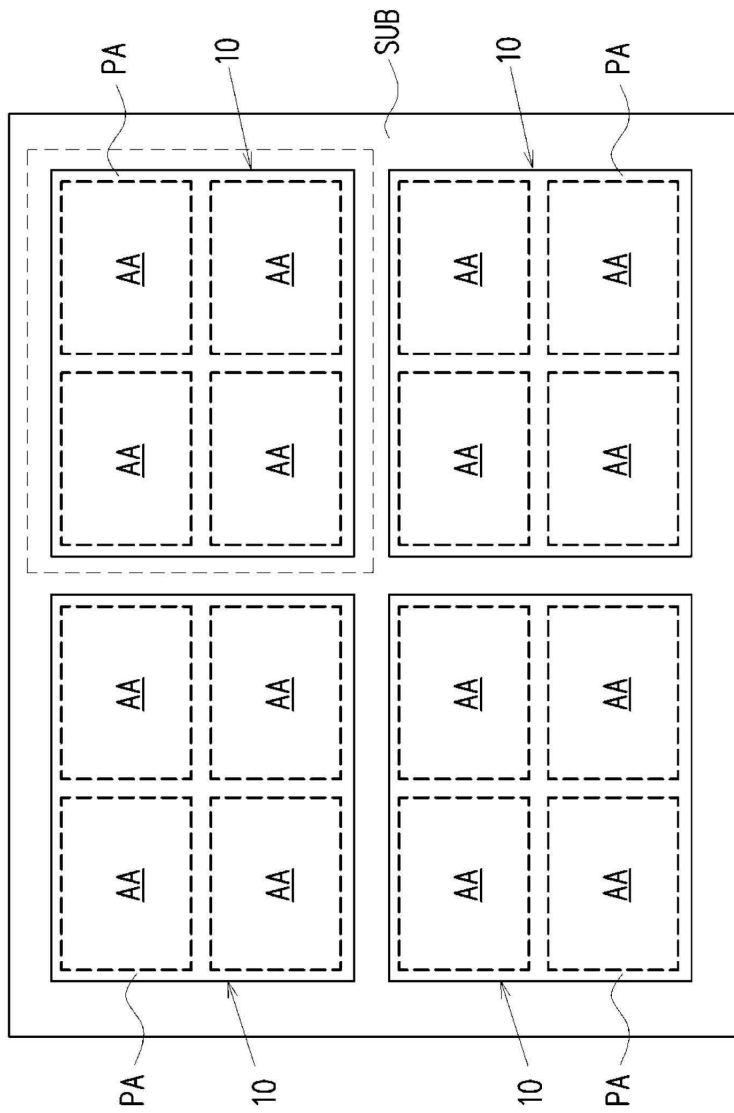
- [0036] 도 10a는 제 1 실시형태에 따른 도 2에 도시된 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 개략 단면도이고, 도 10b는 도 10a에 도시된 표시 장치(10)의 평면도이고, 여기서, 상기 도 10a의 단면도는 도 10b의 단면선 A-A', 단면선 B-B' 및 단면선 C-C'을 따른 것이다. 도 10a와 도 10b를 모두 참조하면, 상기 트랜지스터(T), 상기 픽셀 전극(120), 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)를 갖는 기판(101)이 제공된다. 한편, 상기 표시 유닛(130), 상기 절연층(108), 상기 충전 재료(140), 상기 도전성 전극(150) 및 보호층(109)은 도 2 및 도 6에 도시된 표시 장치(10)의 기판(101) 상에 형성되기 전이다.
- [0037] 도 11a는 제 1 실시형태에 따른 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 피킹 장치(50)의 개략 단면도이고, 도 11b는 도 11a에 도시된 피킹 장치(50)의 평면도이고, 여기서, 도 11a의 단면도는 도 11b의 단면선 D-D', 단면선 E-E' 및 단면선 F-F'를 따른 것이다. 도 11a와 도 11b를 함께 참조하면, 캐리어 기판(도시하지 않음) 상의 어레이의 형태로 일시적으로 저장된 표시 유닛(130)이 어레이 피킹 장치(예를 들면, 도 11a에 나타난 피킹 장치(50))에 의해 이동되고 피킹되어 상기 기판(101)과 조립된다. 한편, 상기 피킹 장치(50)는 어레이 방식으로 복수의 상기 표시 유닛(130)을 이동시킨다.
- [0038] 상기 실시형태에 있어서, 상기 피킹 장치(50)는 홀더(51), 얼라인먼트 마크(52), 얼라인먼트 마크(53) 및 피킹 헤드(54)의 어레이를 갖고, 여기서, 상기 얼라인먼트 마크(52), 상기 얼라인먼트 마크(53) 및 상기 피킹 헤드(54)는 상기 홀더(51) 상에 배치되고, 피킹 액션이 상기 피킹 헤드(54)에 의해 행해져 임의의 불량 표시 장치(130)를 상기 기판 상에 이동 및 배치하는 것을 방지한다. 상기 실시형태에 있어서, 도 11a 및 도 11b에 나타난 바와 같이, 상기 피킹 장치(50)의 홀더(51)는 상기 기판(101)의 1개의 얼라인먼트 영역(100A)에 상응하고, 여기서, 상기 홀더(51)는 X방향 및 Y방향을 따라서 어레이에 배치된 복수의 영역(M1)을 갖고, 상기 영역(M1)의 어레이는 상기 서브 픽셀 유닛(U1)의 어레이에 상응하고, 여기서, 1개의 영역(M1)은 1개의 서브 픽셀 유닛(U1)에 상응한다. 구체적으로, 적어도 2개의 얼라인먼트 마크(53) 및 적어도 1개의 피킹 헤드(54)는 각각의 영역(M1)에 위치되고, 적어도 2개의 얼라인먼트 마크(52)는 상기 영역(M1)의 어레이의 외부에 위치된다. 상기 실시형태에 있어서, 상기 얼라인먼트 마크(52)의 각각은 상기 기판(101)의 얼라인먼트 마크(AM2) 중 1개에 상응하고, 상기 얼라인먼트 마크(53)의 각각은 상기 얼라인먼트 마크(AM1) 중 1개에 상응한다.
- [0039] 도 12a는 상기 제 1 실시형태에 따른 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 개략 단면도이고, 명확성을 위해서 상기 단면도에 있어서 상기 피킹 장치(50)는 생략한다. 도 12b는 도 12a에 도시된 표시 장치(10)의 평면도이고, 여기서, 도 12a의 단면도는 도 12b의 단면선 A-A', 단면선 B-B' 및 단면선 C-C'을 따르는 것이다. 도 12a 및 도 12b에 나타난 바와 같이, 이동 동작이 행해지고, 상기 표시 유닛(130)이 상기 기판(101)과 정확하게 조립되고, 여기서, 상기 1개의 표시 유닛(130)이 상기 픽셀 전극(120)을 통해서 상응하는 트랜지스터(T)에 전기적으로 접속된다.
- [0040] 상기 실시형태에 있어서, 상기 이동 동작에 의해, 상기 홀더(51)의 영역(M1), 상기 얼라인먼트 마크(52) 및 상기 얼라인먼트 마크(53)가 각각 상기 서브 픽셀 유닛(U1), 상기 얼라인먼트 마크(AM2) 및 상기 얼라인먼트 마크(AM1)와 정렬된다. 상기 얼라인먼트 마크(52) 및 상기 얼라인먼트 마크(AM2) 사이, 및 상기 얼라인먼트 마크(53) 및 상기 얼라인먼트 마크(AM1) 사이의 포지셔닝 구성으로 인하여, 상기 표시 유닛(130)은 상기 기판(101)과 정확하게 조립될 수 있다. 구체적으로, 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(53)간의 얼라이닝 방식 및 상기 얼라인먼트 마크(AM2) 및 상기 얼라인먼트 마크(52)간의 얼라이닝 방식이 광학 현미경을 사용하여 용이하게 행해질 수 있다(예를 들면, 상기 얼라인먼트 마크(AM1) 및/또는 상기 얼라인먼트 마크(AM2)의 광반사 강도의 검출). 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)의 위치가 결정되기 때문에, 상기 얼라인먼트 마크(53) 및 상기 얼라인먼트 마크(52)가 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)를 각각 신속하게 얼라이닝할 수 있다. 이와 같이, 제조 동안에 상기 표시 유닛을 이송하기 위해 요구되는 시간이 보다 짧고, 기판 상으로의 표시 장치를 이송하는 정확성이 더욱 양호하게 달성될 수 있다.
- [0041] 도 13a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다. 도 13b는 도 13a에 도시된 표시 장치의 개략 평면도이다. 도 14a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계에 사용된 피킹 장치의 개략 단면도이다. 도 14b는 도 14a에 도시된 피킹 장치의 개략 평면도이다. 도 15a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다. 도 15b는 도 15a에 도시된 표시 장치의 개략 평면도이다. 도 16a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계에 사용되는 피킹 장치의 개략 단면도이다. 도 16b는 도 16a에 도시된 피킹 장치의 개략 평면도이다. 도 17a는 본 발명의 제 2 실시형태에 따른 표시 장치의 제조 공정에 있어서의 중간 단계의 개략 단면도이다. 도 17b는 도 17a에 도시된 표시 장치의 개략 평면도이다.

- [0042] 도 13a는 제 2 실시형태에 따른 도 2에 도시된 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 개략 단면도이고, 도 13b는 도 13a에 도시된 표시 장치의 평면도이고, 여기서, 상기 도 13a의 단면도는 도 13b의 단면선 A-A', 단면선 B-B' 및 단면선 C-C'를 따르는 것이다. 도 13a와 도 13b를 모두 참조하면, 상기 트랜지스터(T), 상기 픽셀 전극(120), 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)를 갖는 기판(101)이 제공된다. 한편, 상기 표시 장치(130), 절연층(108), 충전 재료(140), 도전성 전극(150), 및 보호층(109)이 도 2 및 도 6에 도시된 표시 장치(10)의 기판(101) 상에 배치되기 전이다.
- [0043] 도 14a는 제 2 실시형태에 따른 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 피킹 장치(50)의 개략 단면도이고, 도 14b는 도 14a에 도시된 피킹 장치(50)의 평면도이고, 여기서, 도 14a의 단면도는 도 14b의 단면선 D-D', 단면선 E-E' 및 단면선 F-F'을 따르는 것이다. 도 14a 및 도 14b를 모두 참조하여, 캐리어 기판(도시하지 않음) 상의 어레이 형태로 임시적으로 저장된 표시 장치(130)가 상기 어레이 피킹 장치(예를 들면, 피킹 장치(50))에 의해 이동되고 피킹되어 상기 기판(101)과 조립된다. 상기 실시형태에 있어서, 수개의 표시 장치(130)가 손상되거나 오작동되고, 따라서 피킹 동작에 의한 피킹 장치(50)를 통해 이동되는 표시 장치(130)의 어레이로부터 탈락된다. 한편, 상기 피킹 장치(50)는 어레이 방식으로 복수의 표시 장치(130)를 이동시키고, 여기서, 손상 및/또는 오작동된 표시 유닛(130)이 피킹되지 않고, 따라서 얻어진 베이컨시(VA)(도 14a 참조)가 상기 피킹 장치(50)에 의해 이동되고 피킹된 표시 장치(130)의 어레이에 존재할 수 있다.
- [0044] 상기 실시형태에 있어서, 도 14a 및 도 14b의 피킹 장치는 홀더(51), 얼라인먼트 마크(52), 얼라인먼트 마크(53) 및 피킹 헤드(54)의 어레이를 갖고, 여기서, 상기 얼라인먼트 마크(52), 상기 얼라인먼트 마크(53) 및 상기 피킹 헤드(54)는 상기 홀더(51) 상에 배치되고, 피킹 동작이 상기 피킹 헤드(54)에 의해 행해져 임의의 오류 표시 유닛(130)이 상기 기판(101) 상에 이동되고 배치되는 것을 방지한다. 상기 실시형태에 있어서, 도 14a 및 도 14b에 나타난 바와 같이, 상기 피킹 장치(50)의 홀더(51)는 상기 기판(101)의 1개 얼라인먼트 영역(100A)에 상응하고, 여기서, 상기 홀더(51)는 X방향 및 Y방향을 따라 어레이에 배열된 복수의 영역(M1)을 갖고, 상기 영역(M1)의 어레이는 서브 픽셀 유닛(U1)의 어레이에 상응하고, 여기서, 1개의 영역(M1)은 1개의 서브 픽셀 유닛(U1)에 상응한다. 구체적으로, 적어도 2개의 얼라인먼트 마크(53) 및 적어도 1개의 피킹 헤드(54)가 1개의 영역(M1)에 위치되고, 상기 적어도 2개의 얼라인먼트 마크(52)가 상기 영역(M1)의 어레이의 외부에 위치되고, 여기서, 상기 얼라인먼트 마크(52)의 각각은 상기 기판(101)의 얼라인먼트 마크(AM2) 중 1개에 상응하고, 상기 얼라인먼트 마크(53)의 각각은 상기 얼라인먼트 마크(AM1) 중 1개에 상응한다.
- [0045] 도 15a는 상기 제 2 실시형태에 따른 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 개략 단면도이고, 명확성을 위해서 상기 피킹 장치(50)는 상기 단면도에서 생략된다. 도 15b는 도 15a에 도시된 표시 장치(10)의 평면도이고, 여기서, 도 15a의 단면도가 도 15b의 단면선 A-A', 단면선 B-B' 및 단면선 C-C'을 따르는 것이다. 도 15a 및 도 15b에 나타난 바와 같이, 이동 동작이 행해지고, 표시 장치(130)가 상기 기판(101)과 정확하게 조립되고, 여기서, 1개의 표시 장치(130)가 상기 픽셀 전극(120)을 통해 상응하는 트랜지스터(T)에 전기적으로 접속된다.
- [0046] 상기 실시형태에 있어서, 상기 이동 동작에 의해, 상기 홀더(51)의 영역(M1), 상기 얼라인먼트 마크(52) 및 상기 얼라인먼트 마크(53)가 상기 서브 픽셀 유닛(U1), 상기 얼라인먼트 마크(AM2) 및 상기 얼라인먼트 마크(AM1)와 각각 얼라이닝된다. 상기 얼라인먼트 마크(52) 및 상기 얼라인먼트 마크(AM2) 사이 및 상기 얼라인먼트 마크(53) 및 상기 얼라인먼트 마크(AM1) 사이의 포지셔닝 구성으로 인하여, 표시 장치(130)는 상기 기판(101)과 정확하게 조립될 수 있다. 구체적으로, 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(53) 사이의 얼라이닝 방식 및 상기 얼라인먼트 마크(AM2) 및 상기 얼라인먼트 마크(52) 사이의 얼라이닝 방식이 광학 현미경을 사용하여 용이하게 행해질 수 있다(예를 들면, 상기 얼라인먼트 마크(AM1) 및/또는 상기 얼라인먼트 마크(AM2)의 광반사 강도의 검출). 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(AM2)의 위치가 결정되기 때문에, 상기 얼라인먼트 마크(53) 및 상기 얼라인먼트 마크(52)가 상기 얼라인먼트 마크(AM1) 또는 상기 얼라인먼트 마크(AM2)를 신속하게 각각 얼라이닝할 수 있다. 이와 같이 하여, 제조 동안에 상기 표시 유닛을 이송하기 위해 요구되는 시간이 보다 짧고, 기판 상으로의 표시 장치를 이송하는 정확성이 더욱 양호하게 달성될 수 있다.
- [0047] 도 16a는 제 2 실시형태에 따른 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 피킹 장치(60)의 개략 단면도이고, 도 16b는 도 16a에 도시된 피킹 장치(60)의 평면도이다. 16a와 도 16b를 함께 참조하면, 캐리어 기판(도시하지 않음) 상의 어레이 형태로 임시적으로 저장된 표시 장치(130) 중 1개가 단일 피킹 장치(예를 들면, 피킹 장치(60))에 의해 각각 이동 및 피킹되어 상기 기판과 조립된다. 즉, 어레이 방식으로 복수의 표시 장치(130)를 이동하는 피킹 장치(50)와 달리, 상기 피킹 장치(60)는 한번에 1개의 표시 유닛(130)을 이동시킨다.

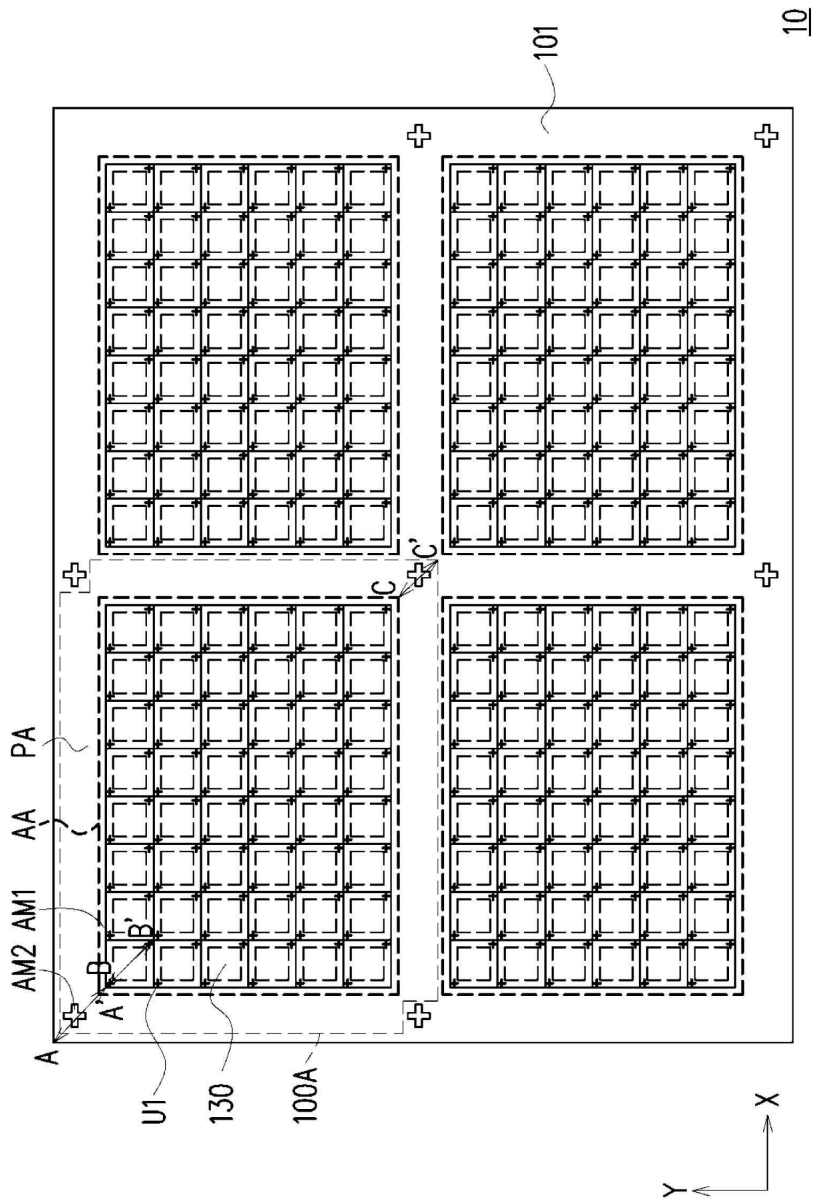
- [0048] 구체적으로, 도 16a 및 도 16b의 피킹 장치(60)가 홀더(61), 적어도 2개의 얼라인먼트 마크(62) 및 피킹 헤드(63)를 갖고, 여기서, 상기 얼라인먼트 마크(62) 및 상기 피킹 헤드(63)는 상기 홀더(61) 상에 배치되고, 피킹 동작이 상기 피킹 헤드(63)에 의해 행해져 임의의 오류 표시 유닛(130)이 상기 기관(101) 상에 이동되고 배치되는 것을 방지한다. 상기 실시형태에 있어서, 적어도 2개의 상기 얼라인먼트 마크(62) 및 상기 피킹 헤드(63)는 상기 피킹 장치(60)의 영역(M2)에 위치되고, 상기 영역(M2)은 1개의 서브 픽셀 유닛(U1)에 상응하고, 여기서, 각각의 상기 얼라인먼트 마크(62)는 상기 얼라인먼트 마크(AM1) 중 1개에 상응한다.
- [0049] 도 17a는 제 1 실시형태에 따른 표시 장치(10)의 제조 공정에 있어서의 중간 단계의 개략 단면도이고, 명확성을 위해서, 상기 단면도에서 상기 피킹 장치(50)는 생략된다. 도 17b는 도 17a에 도시된 표시 장치(10)의 평면도이고, 여기서, 상기 도 17a의 단면도는 도 17b의 단면선 A-A', 단면선 G-G' 및 단면선 C-C'를 따른 것이다. 도 17a 및 도 17b에 나타난 바와 같이, 이동 동작이 행해지고, 표시 장치(130)가 상기 기관(101)과 정확하게 조립되고, 여기서, 표시 장치(130)는 상기 픽셀 전극(120)을 통해 상응하는 트랜지스터(T)에 전기적으로 접속된다.
- [0050] 상기 실시형태에 있어서, 상기 이동 동작에 의해, 상기 홀더(61) 및 상기 얼라인먼트 마크(62)의 영역(M2)이 상기 서브 픽셀 유닛(U1) 및 상기 얼라인먼트 마크(AM1)와 각각 얼라이닝된다. 상기 얼라인먼트 마크(62) 및 상기 얼라인먼트 마크(AM1) 사이의 포지셔닝 구성으로 인하여, 표시 장치(130)가 상기 기관(101)과 정확하게 조립될 수 있다. 구체적으로 상기 얼라인먼트 마크(AM1) 및 상기 얼라인먼트 마크(62) 사이의 얼라이닝 방식이 광학 현미경을 사용하여 용이하게 행해질 수 있다(예를 들면, 상기 얼라인먼트 마크(AM)의 광반사 강도의 검출). 상기 얼라인먼트 마크(AM1)의 위치가 결정되기 때문에, 상기 얼라인먼트 마크(62)가 상기 얼라인먼트 마크(AM1)를 신속하게 각각 얼라이닝할 수 있다. 이와 같이 하여, 제조 동안에 상기 표시 유닛을 이송하기 위해 요구되는 시간이 보다 짧고, 기관 상으로의 표시 장치를 이송하는 정확성이 더욱 양호하게 달성될 수 있다. 또한, 각각의 서브 픽셀 유닛(U1)이 1개의 표시 유닛(130)을 갖도록 도 17a 및 도 17b의 단계가 복수회 반복될 수 있다.
- [0051] 도 18a~도 18d는 표시 패널에 배치된 얼라인먼트 마크 및 피킹 장치에 배치된 얼라인먼트 마크간의 상대 위치의 개략 상면도이다. 상기 얼라인먼트 마크(AM2)는 예를 들면, 십자 형상 또는 사각형 또는 직사각형일 수 있다. 한편, 상기 얼라인먼트 마크(52)는 예를 들면, 중공 사각형 또는 직사각형, 복수의 삼각형부 또는 복수의 L-형 상부를 포함할 수 있다. 도 18a 및 도 18b에 나타난 바와 같이, 상기 얼라인먼트 마크(52)는 상기 얼라인먼트 마크(AM2)를 둘러싼다. 도 18c 및 도 18d에 나타난 바와 같이, 상기 얼라인먼트 마크(52)는 상기 얼라인먼트 마크(AM2)를 부분적으로 오버래핑한다. 또한, 상기 얼라인먼트 마크(AM1)는 상기 얼라인먼트 마크(AM2)와 동일한 형태를 가질 수 있고, 상기 얼라인먼트 마크(53) 및 상기 얼라인먼트 마크(62)는 상기 얼라인먼트 마크(52)와 동일한 형태를 가질 수 있다. 그러나, 본 발명은 이들로 한정되지 않는다.
- [0052] 또한, 도 19는 본 발명의 다른 실시형태에 따른 표시 장치를 설명하는 개략 상면도이다. 도 2 및 도 19를 함께 참조하면, 도 19의 표시 장치(10')는 도 2의 표시 장치(10)와 동일하고, 따라서 상기 실시형태에서 동일하거나 유사한 소자는 동일하거나 유사한 참조 부호에 의해 나타내어지므로 더 설명하지 않는다. 차이점은 도 19에 도시된 표시 장치(10')의 서브 픽셀 유닛(U')이 AM으로 나타내어지는 바와 같이, 데이터 라인(예를 들면, 데이터 라인 D1~D8) 및 스캔 라인(예를 들면, S1~S8)의 교차점으로 상기 얼라인먼트 마크(AM1)를 대신하고 있는 것이다. 한편, 도 19의 표시 장치(10')는 도 2의 표시 장치(10)와 동일하고, 그 차이점은 상기 표시 장치(10')가 상기 얼라인먼트 마크(AM2)만을 갖는다는 것이다. 이와 같은 구성에 의해, 단순한 계산이 행해져 상기 스캔 라인(S1~S6) 중 1개 및 상기 데이터 라인(D1~D8) 중 1개의 특정 교차점을 위치시켜 각각의 표시 장치(130)가 상응하는 트랜지스터(T) 상에 정확하게 배치될 수 있다.
- [0053] 상술에 기초하여, 본 발명의 표시 장치에 있어서, 상기 비표시 영역에 배치된 얼라인먼트 마크 및/또는 상기 표시 영역에 배치된 얼라인먼트 마크의 존재로 인하여 제조 공정 동안에 표시 장치를 이송하기 위해 요구되는 시간이 보다 짧고, 상기 표시 장치의 기관 상으로 표시 유닛을 이송하는 정확성이 더욱 양호하게 달성된다.
- [0054] 본 발명의 범위 또는 정신에 벗어남이 없이 각종 수식 및 변경이 본 발명의 구조체에 행해질 수 있음이 당업자에게는 명백할 것이다. 상술의 관점에 있어서, 본 발명은 하기 청구 범위 및 그 등가물의 범위 내에 있는 본 발명의 변형 및 변경을 포함하는 것이 의도된다.

도면

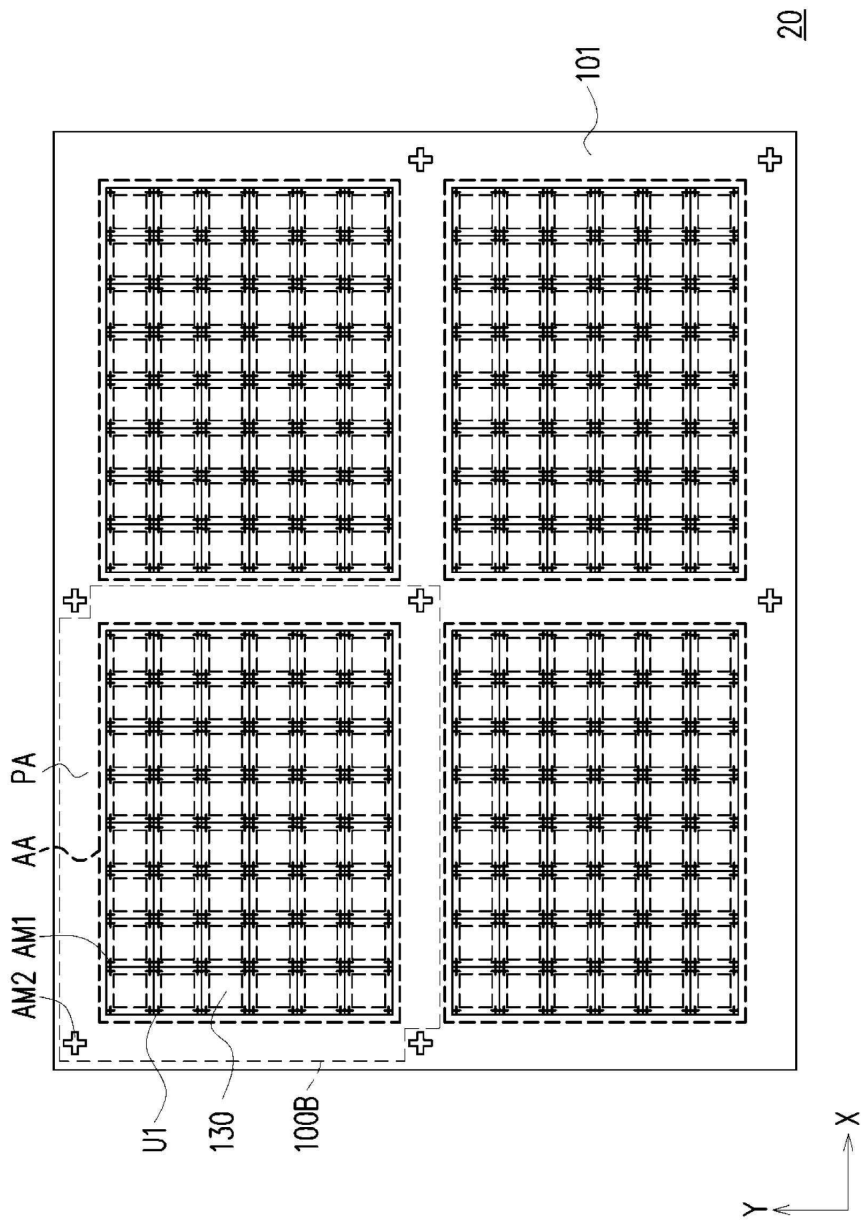
도면1



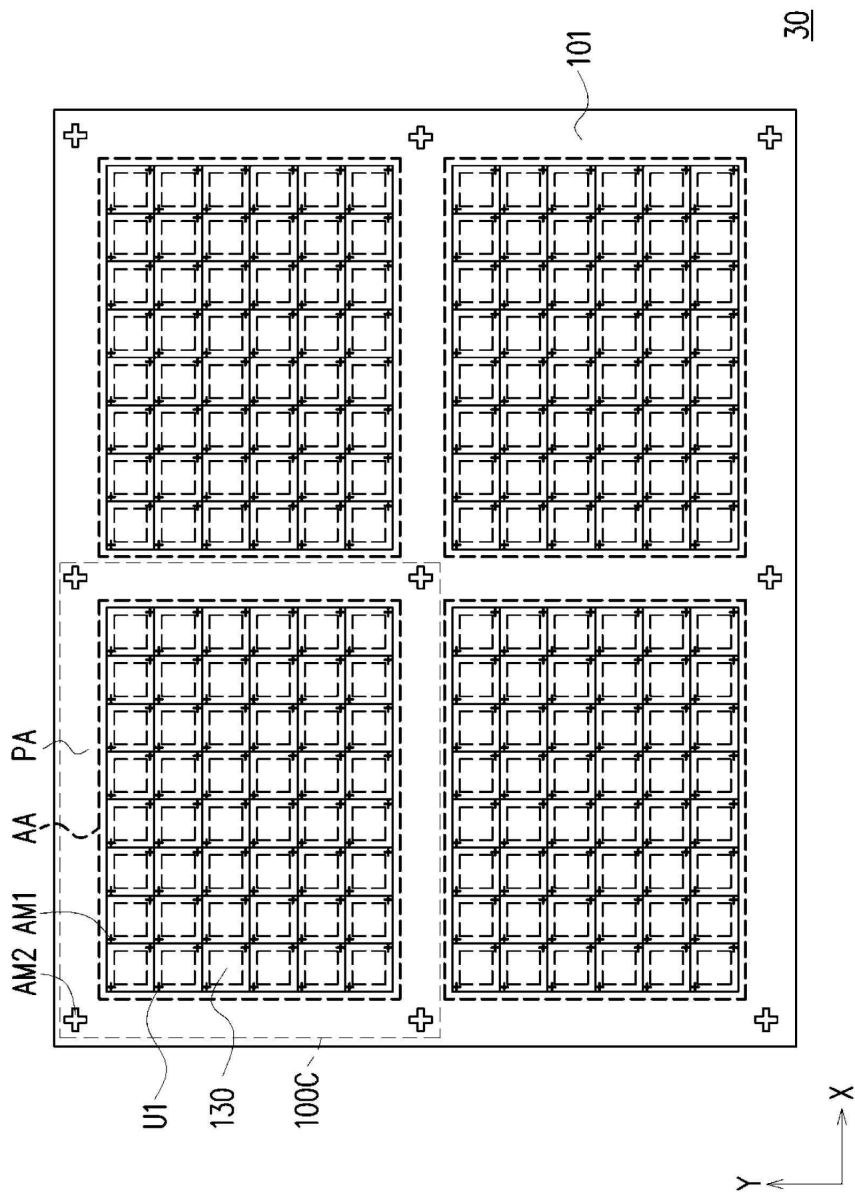
도면2



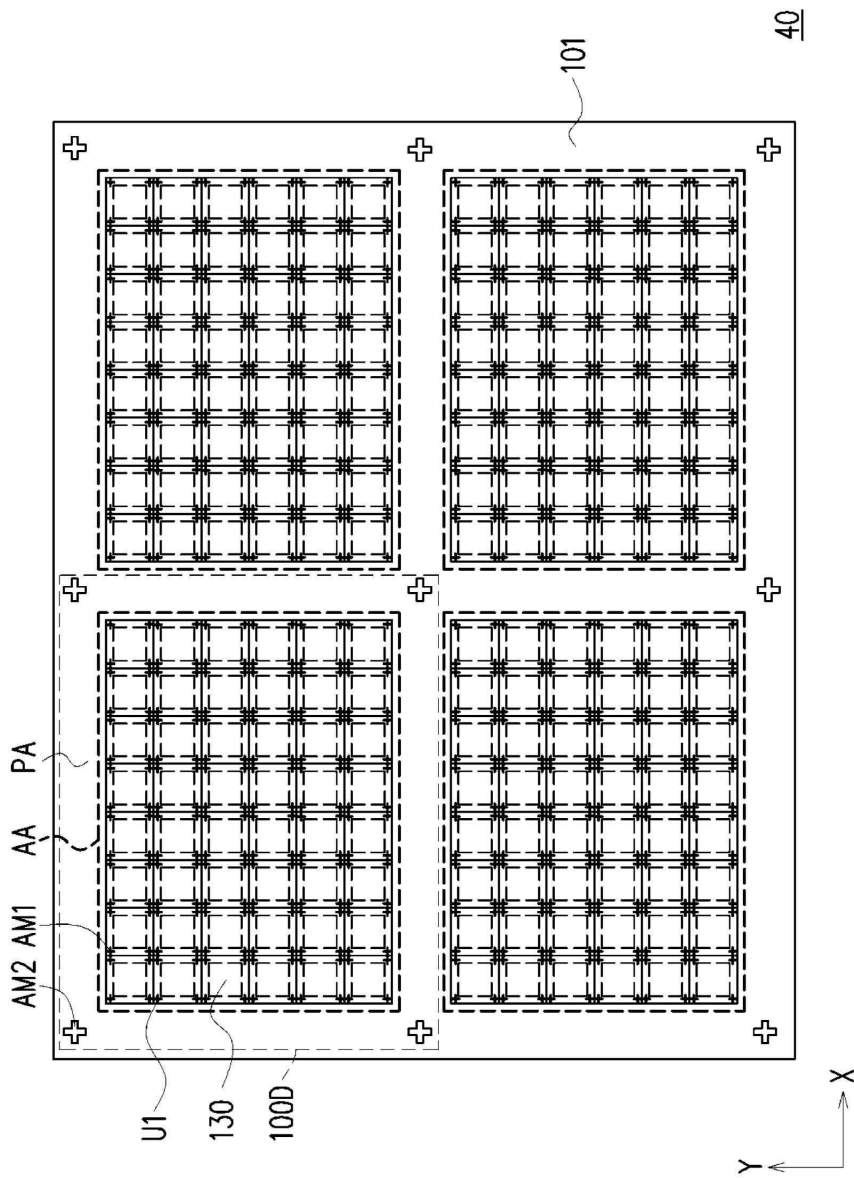
도면3



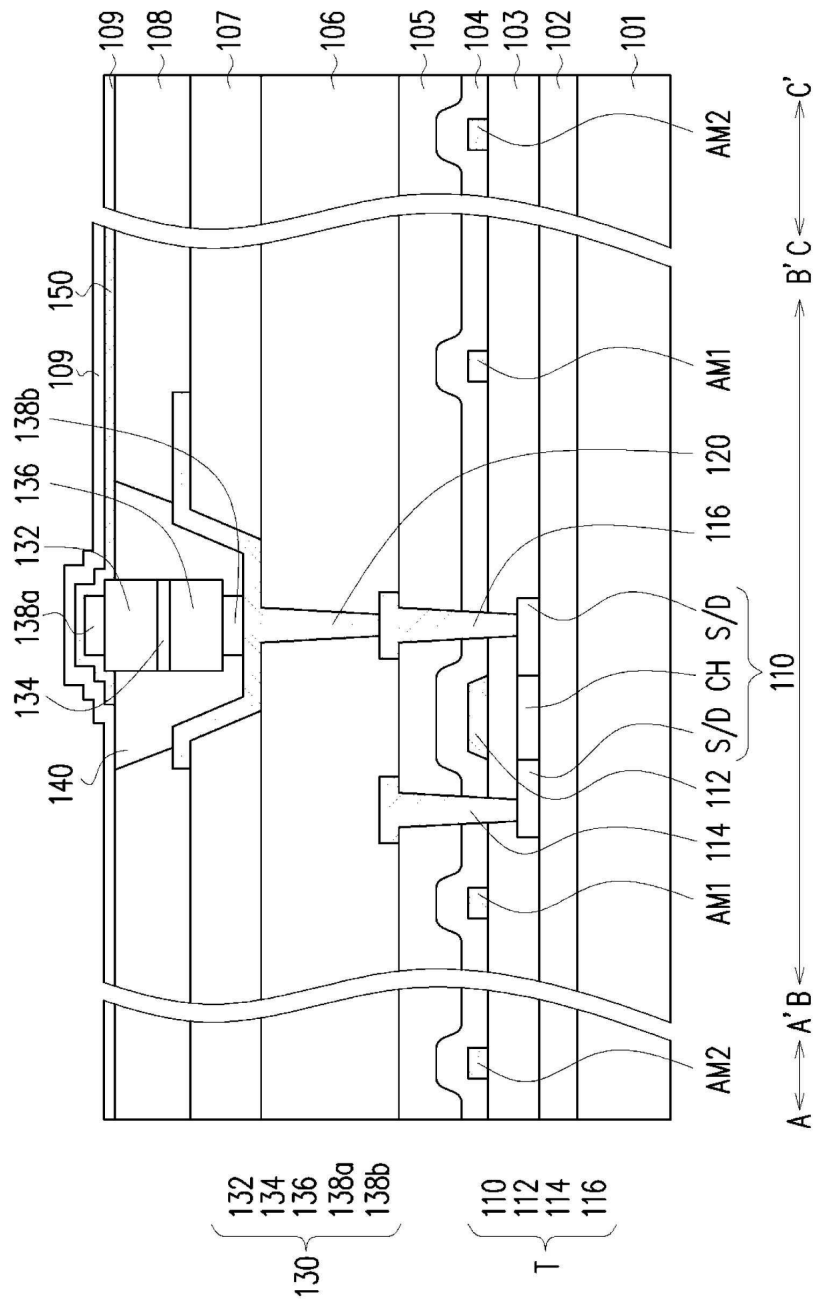
도면4



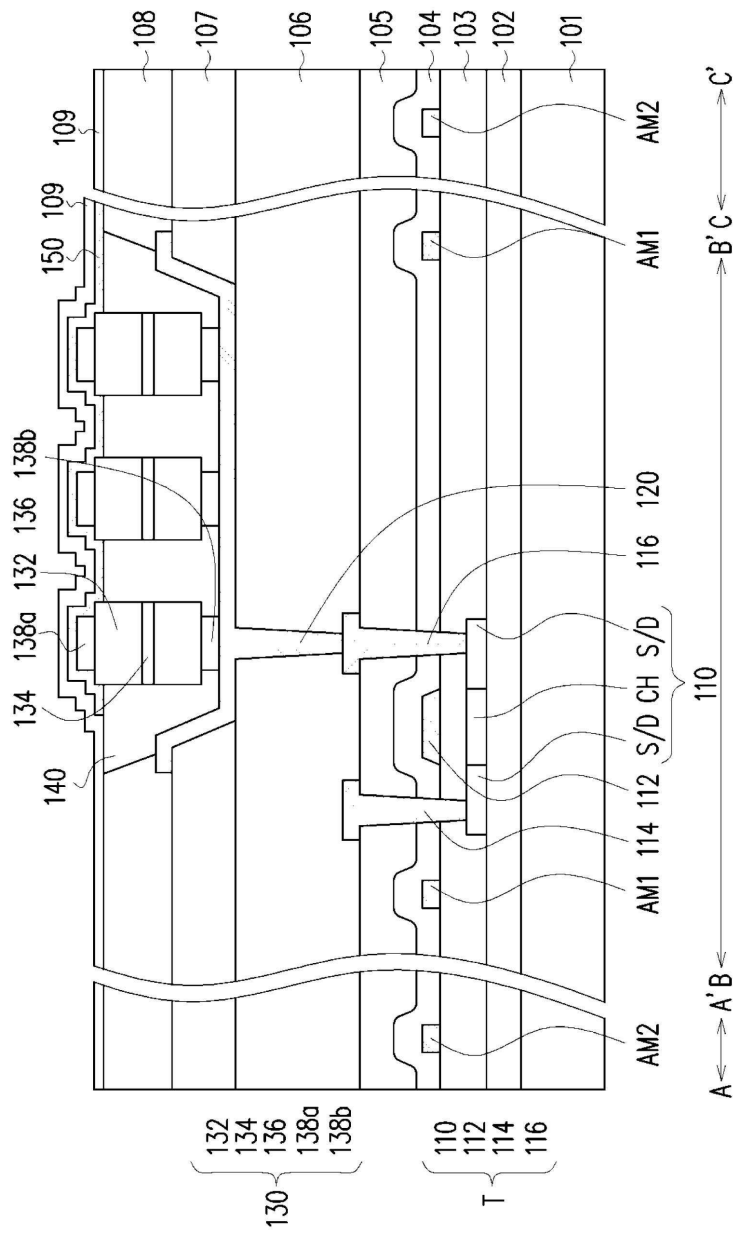
도면5



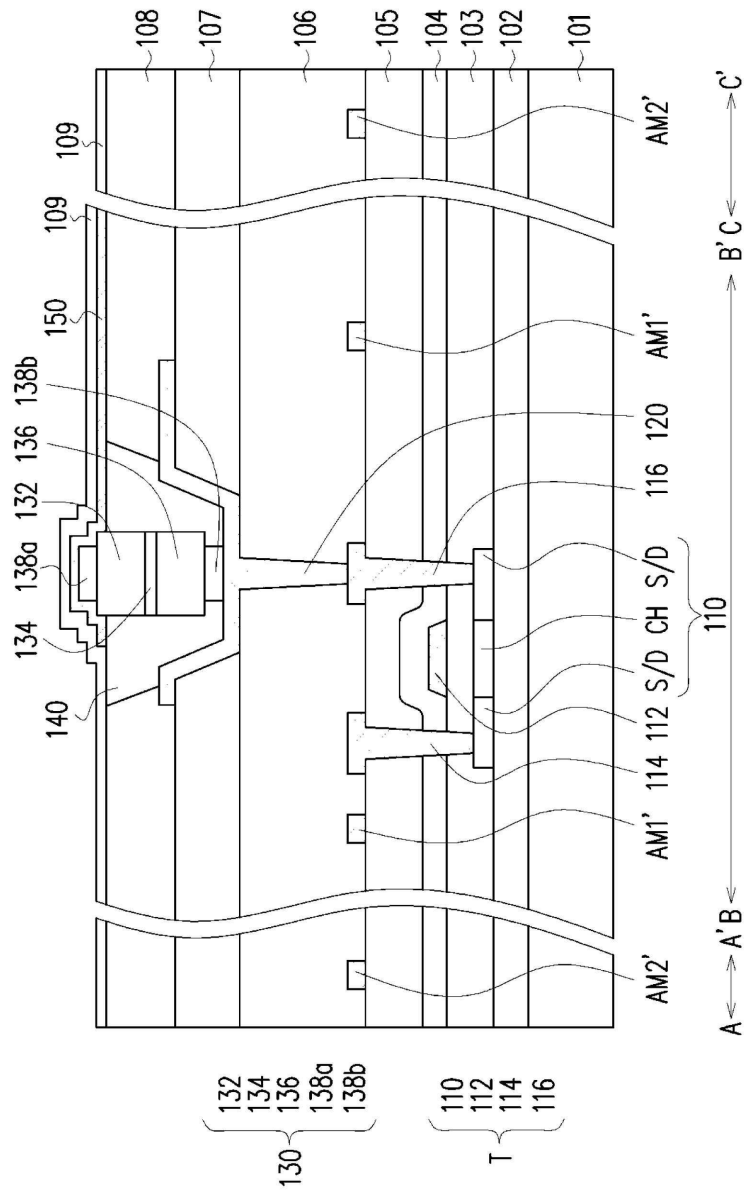
도면6



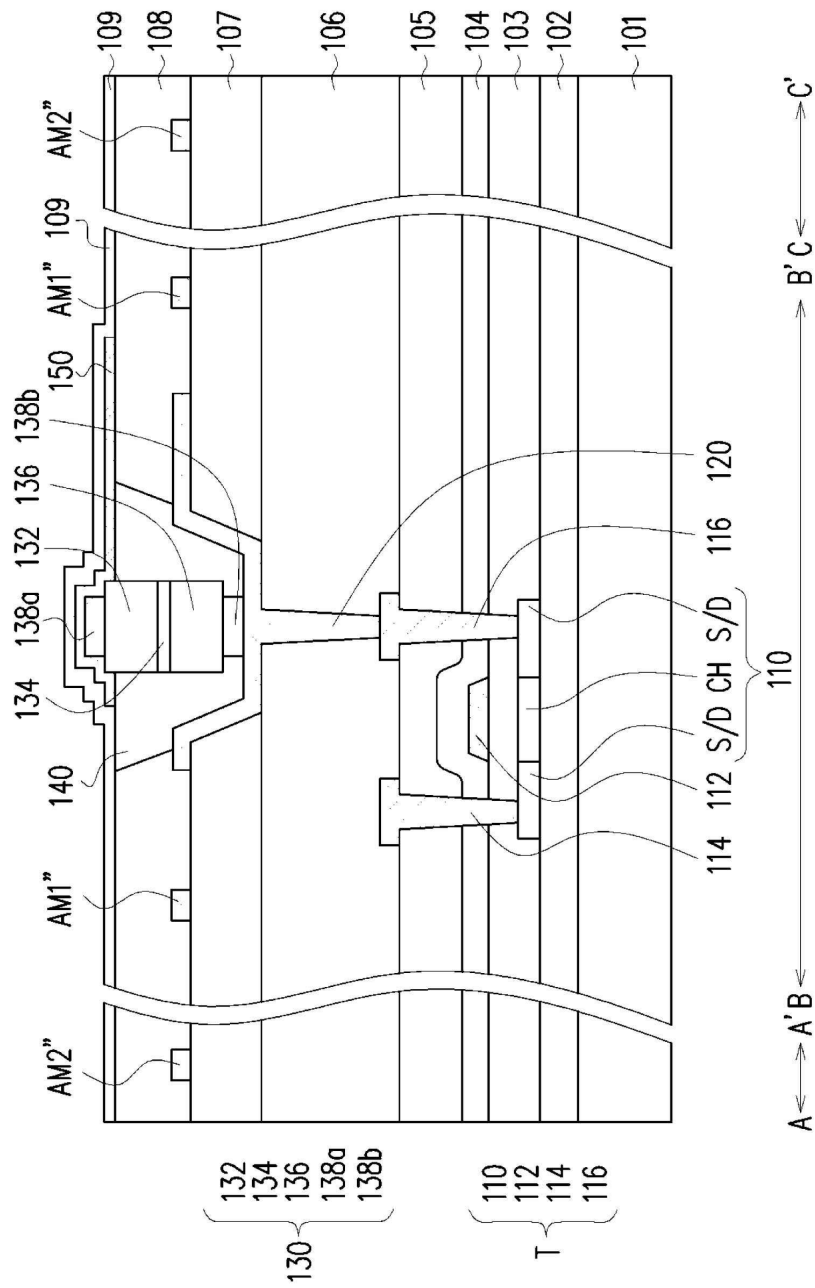
도면7



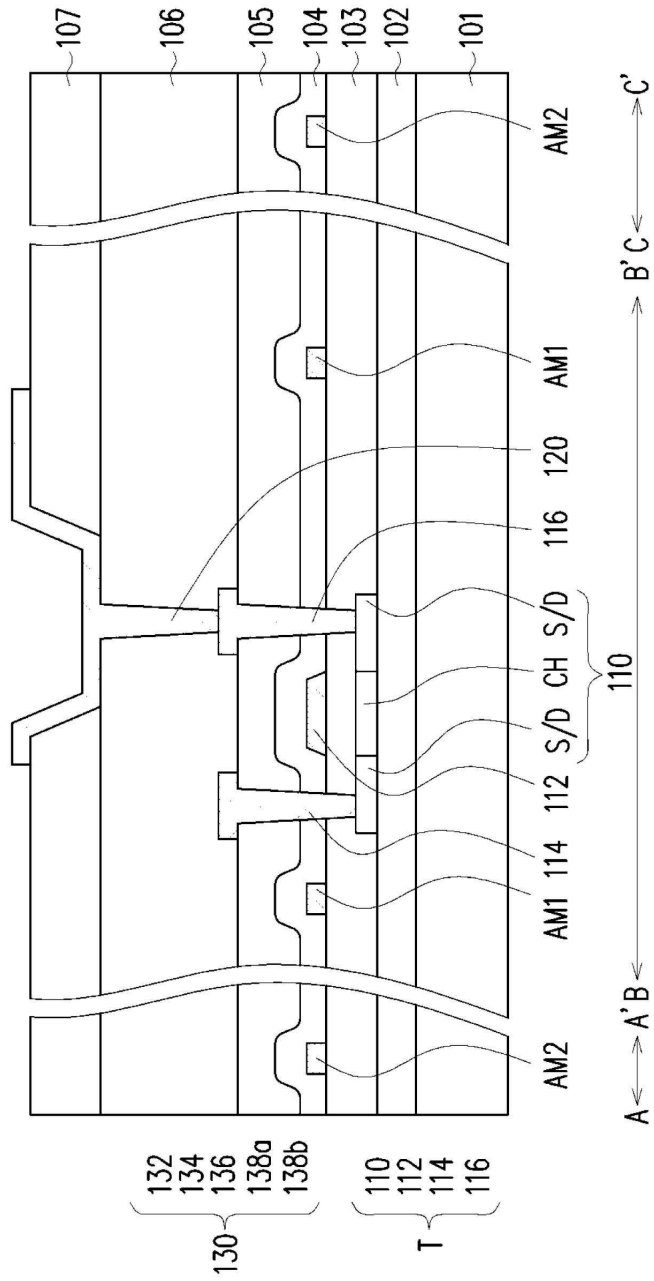
도면8



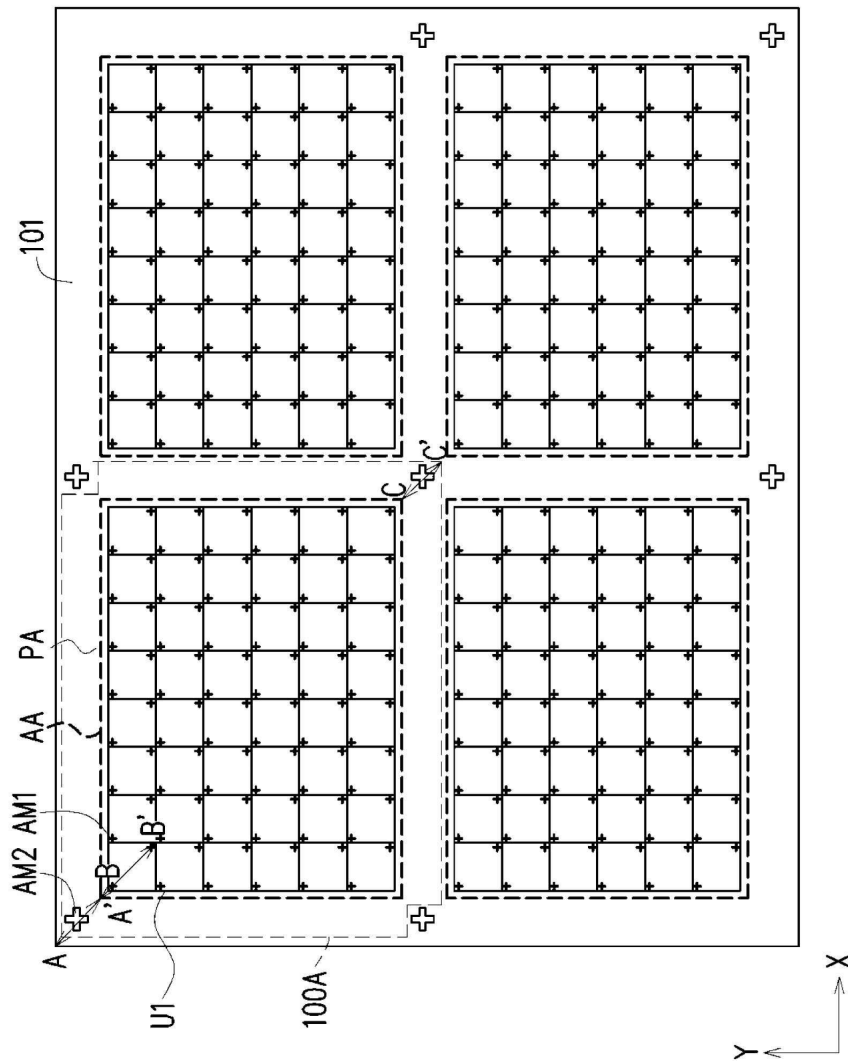
도면9



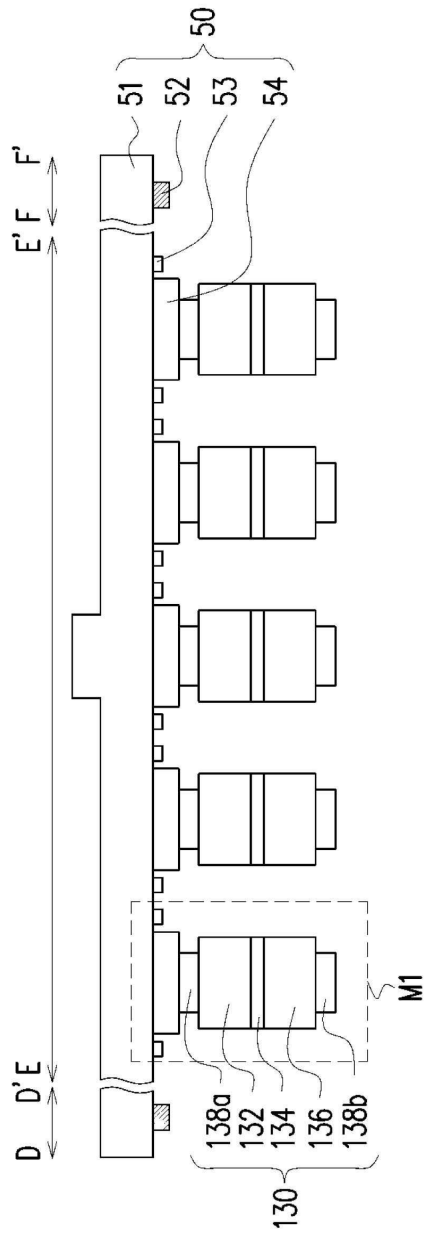
도면10a



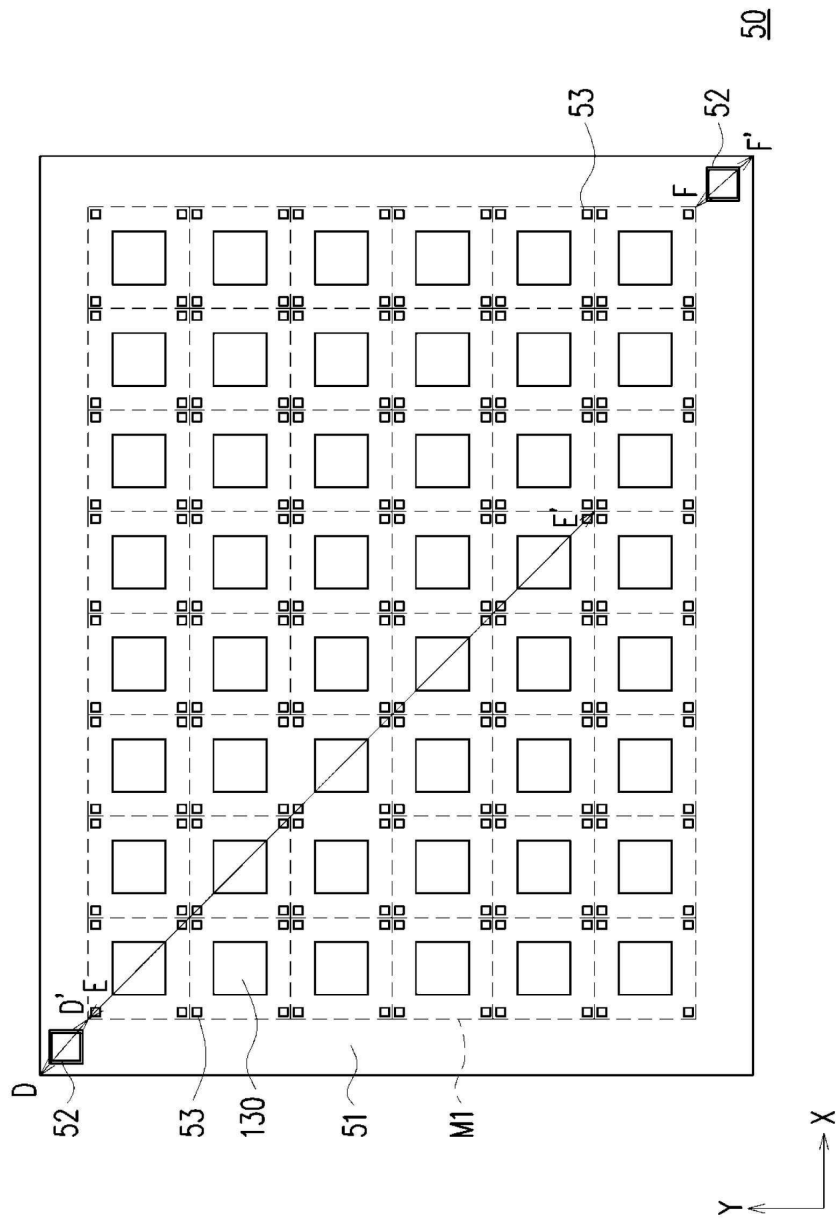
도면10b



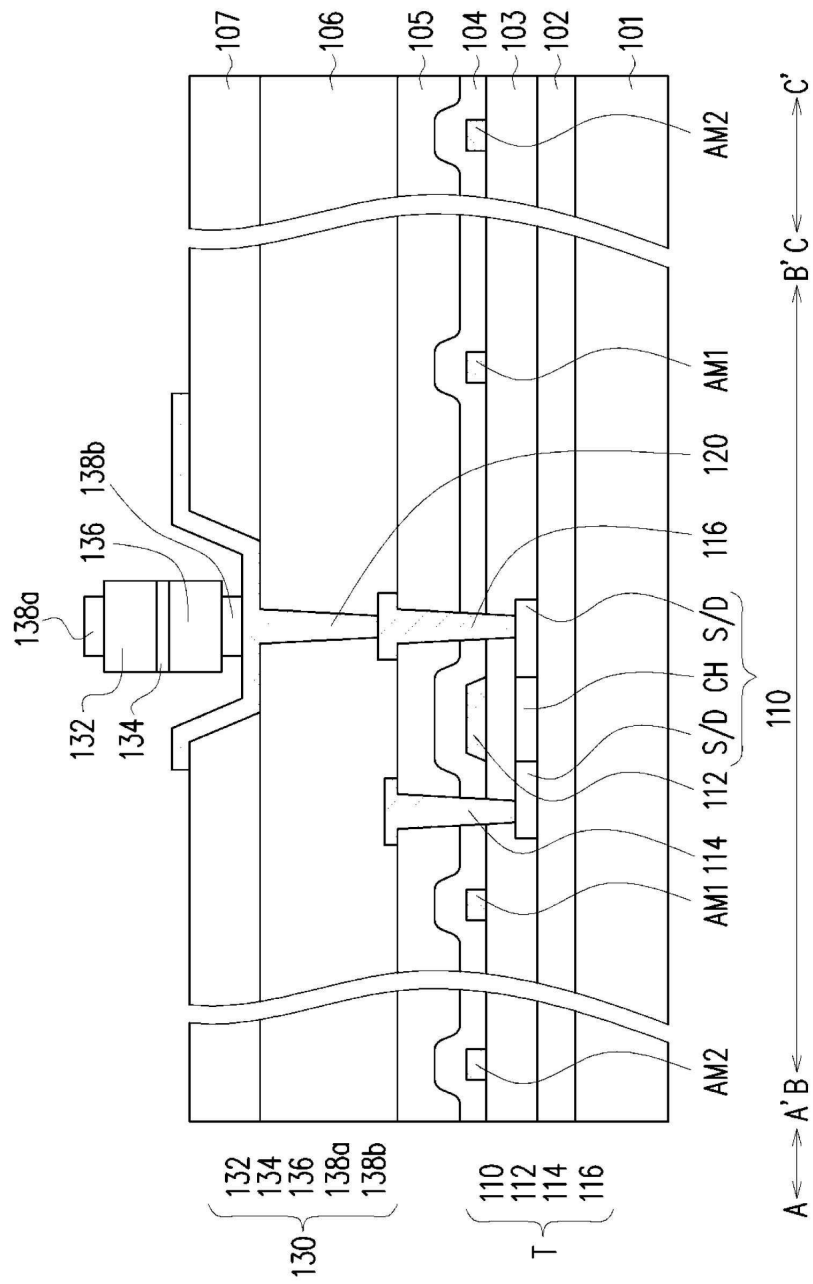
도면11a



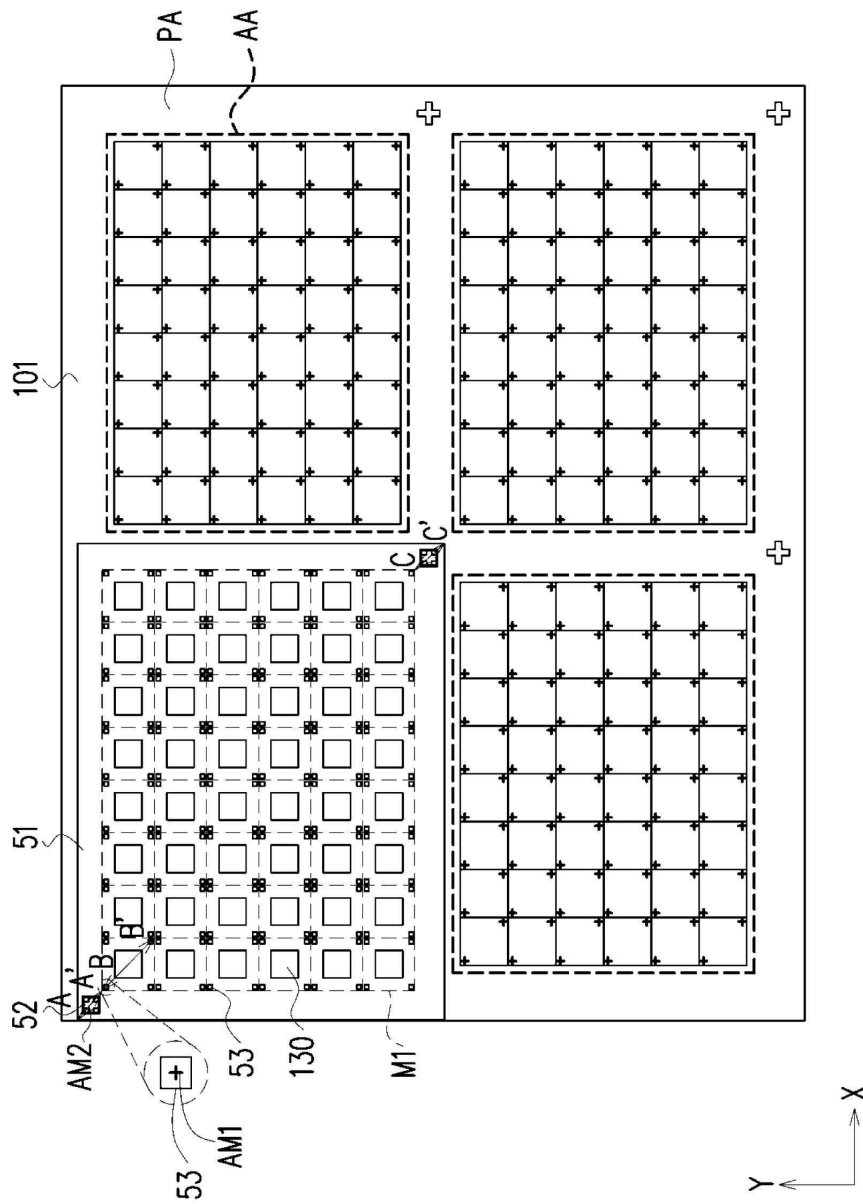
도면11b



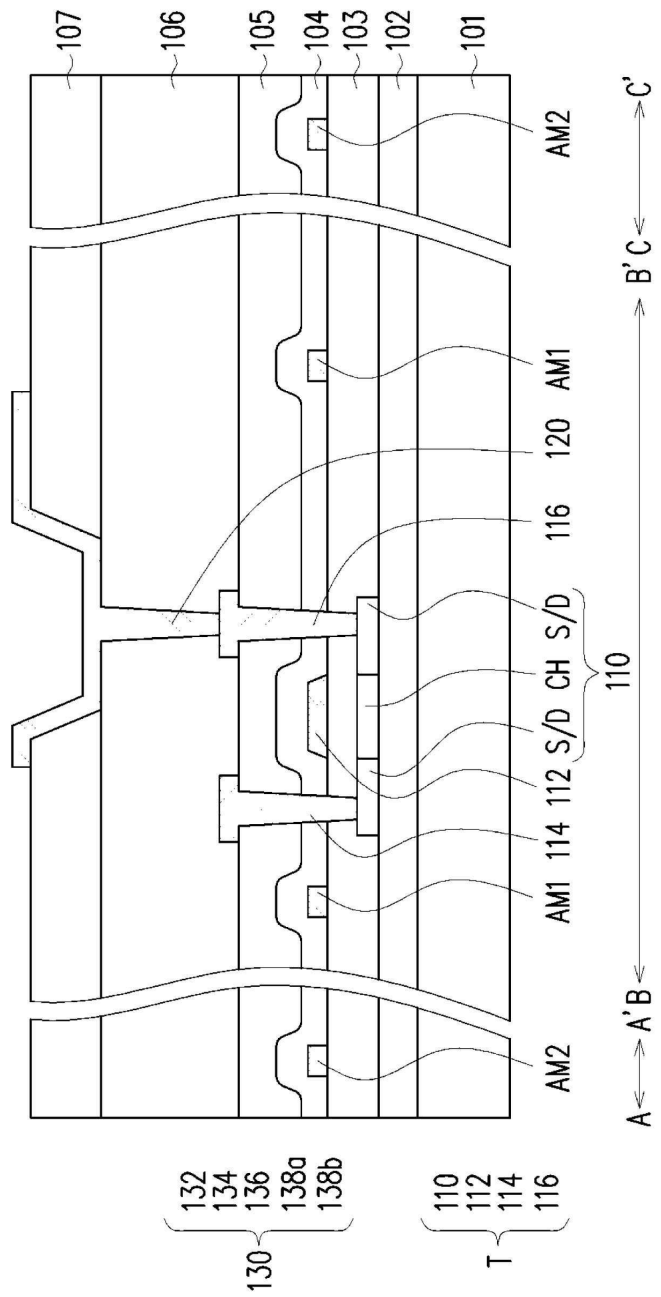
도면12a



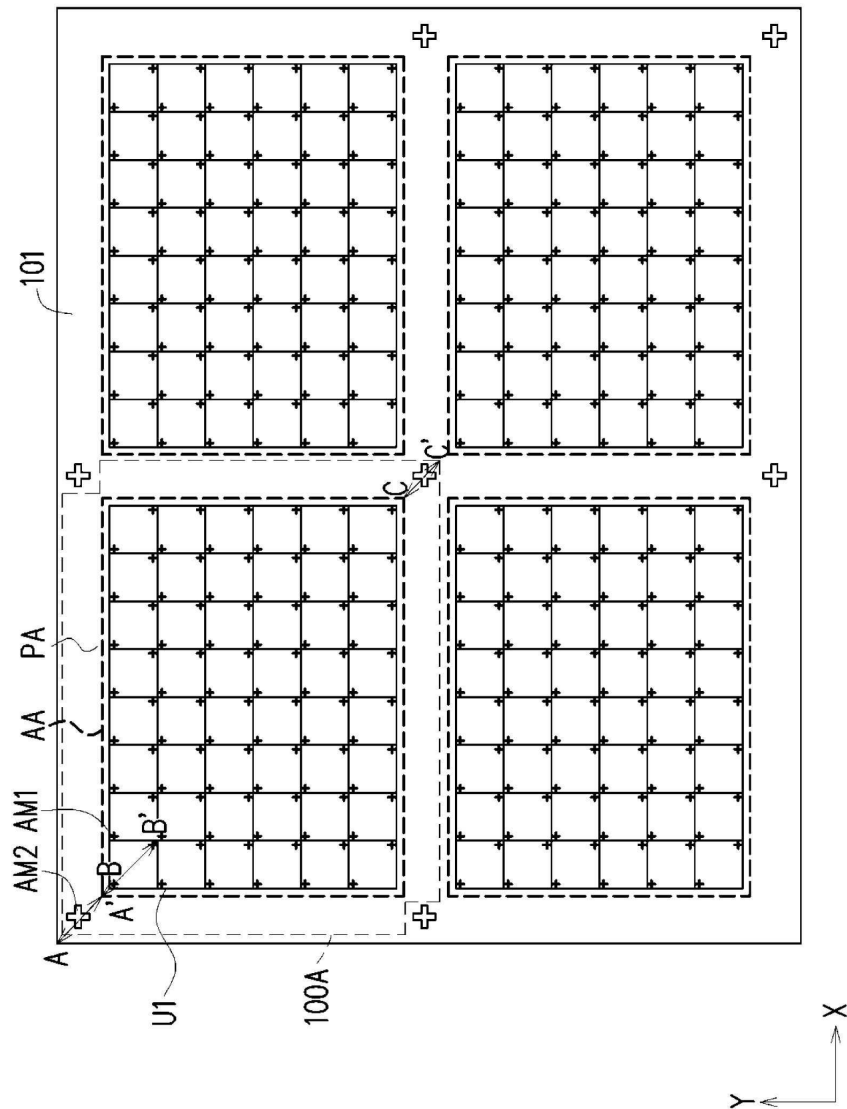
도면12b



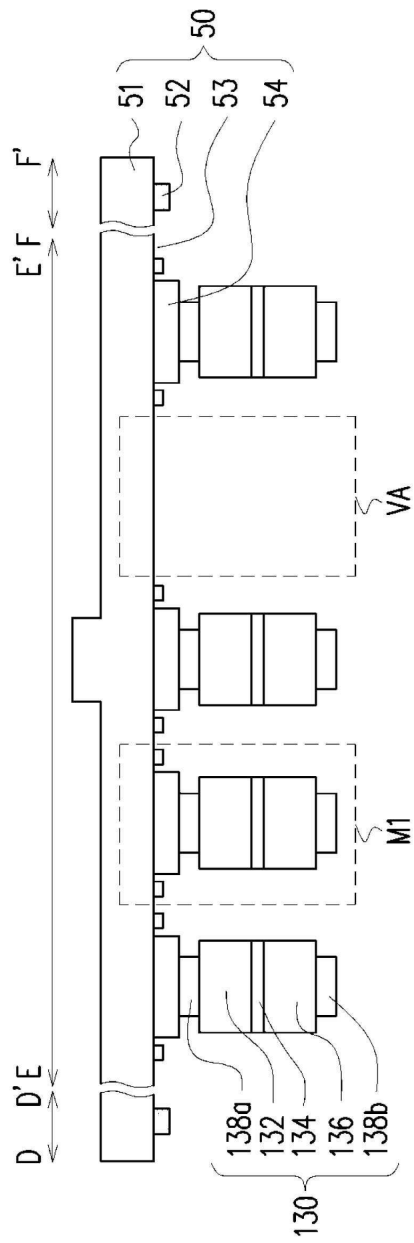
도면13a



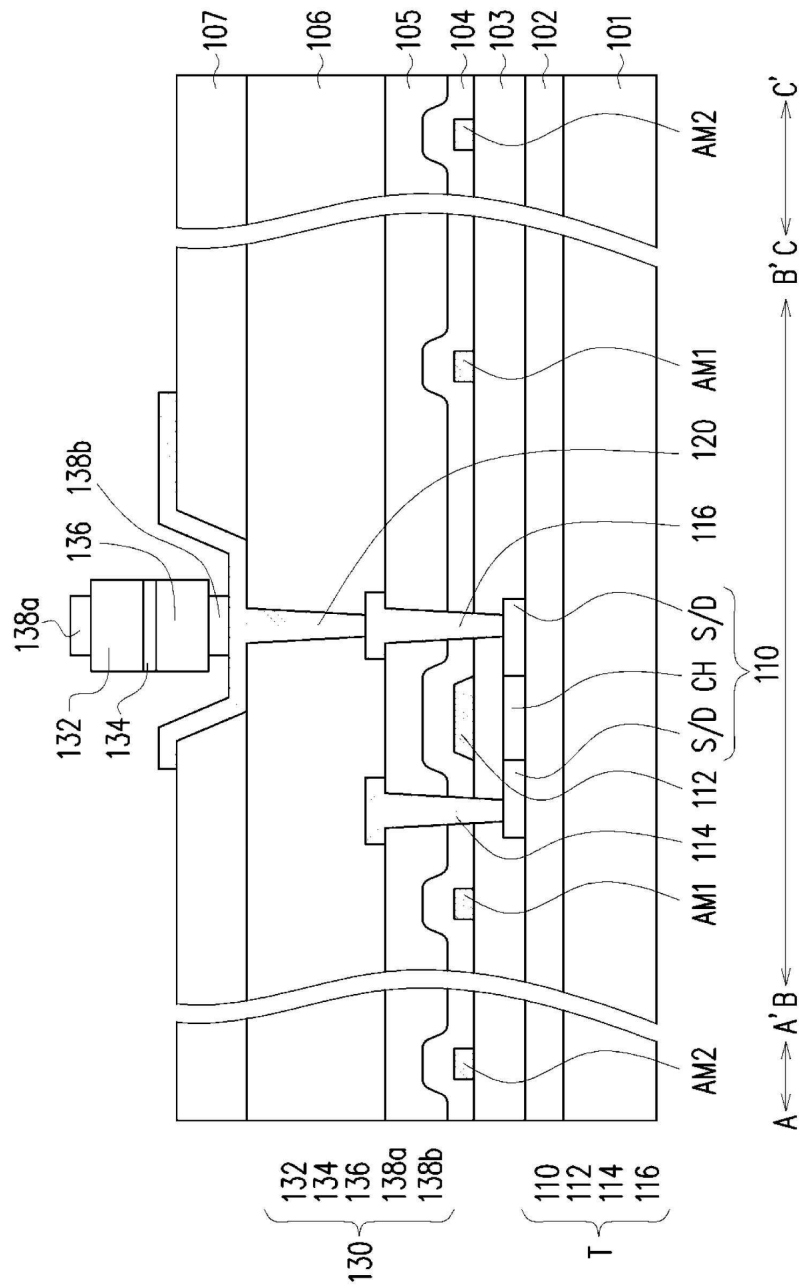
도면13b



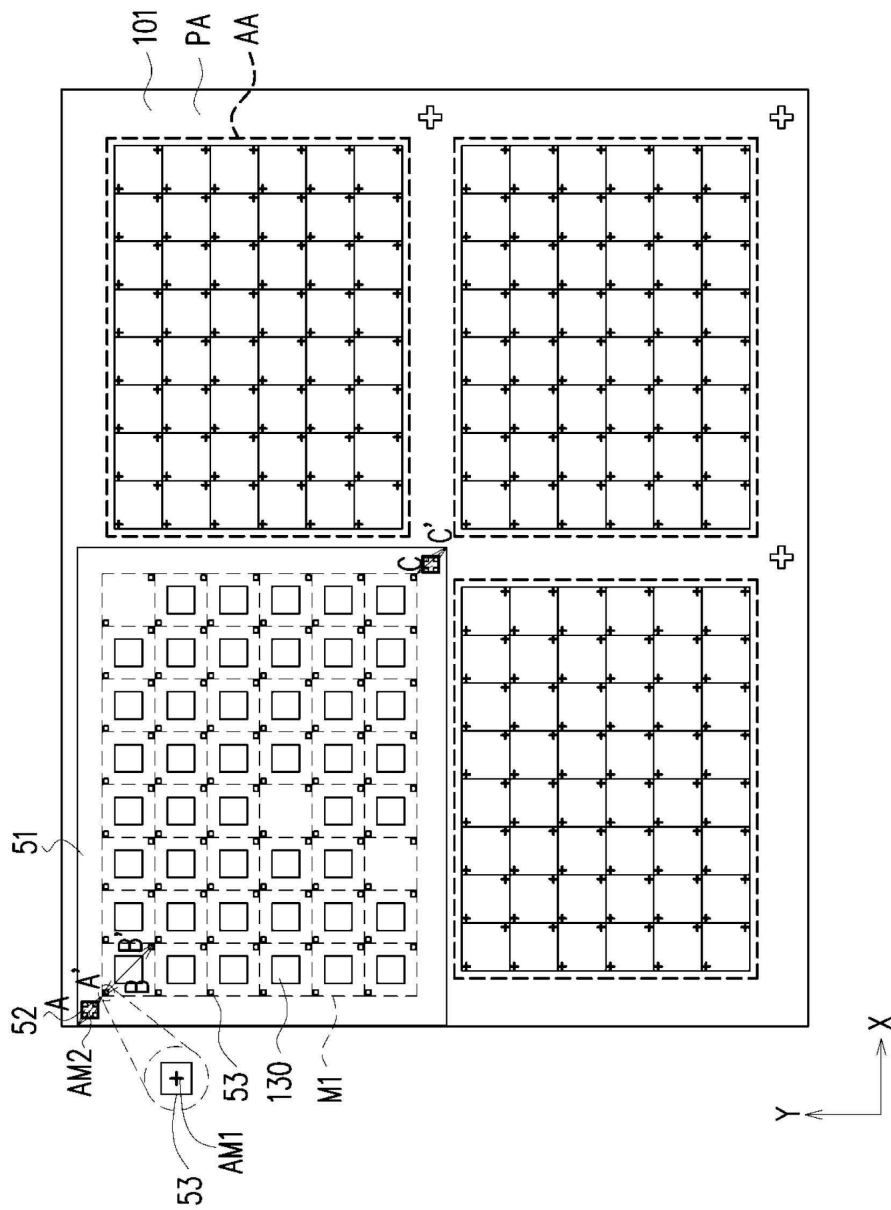
도면14a



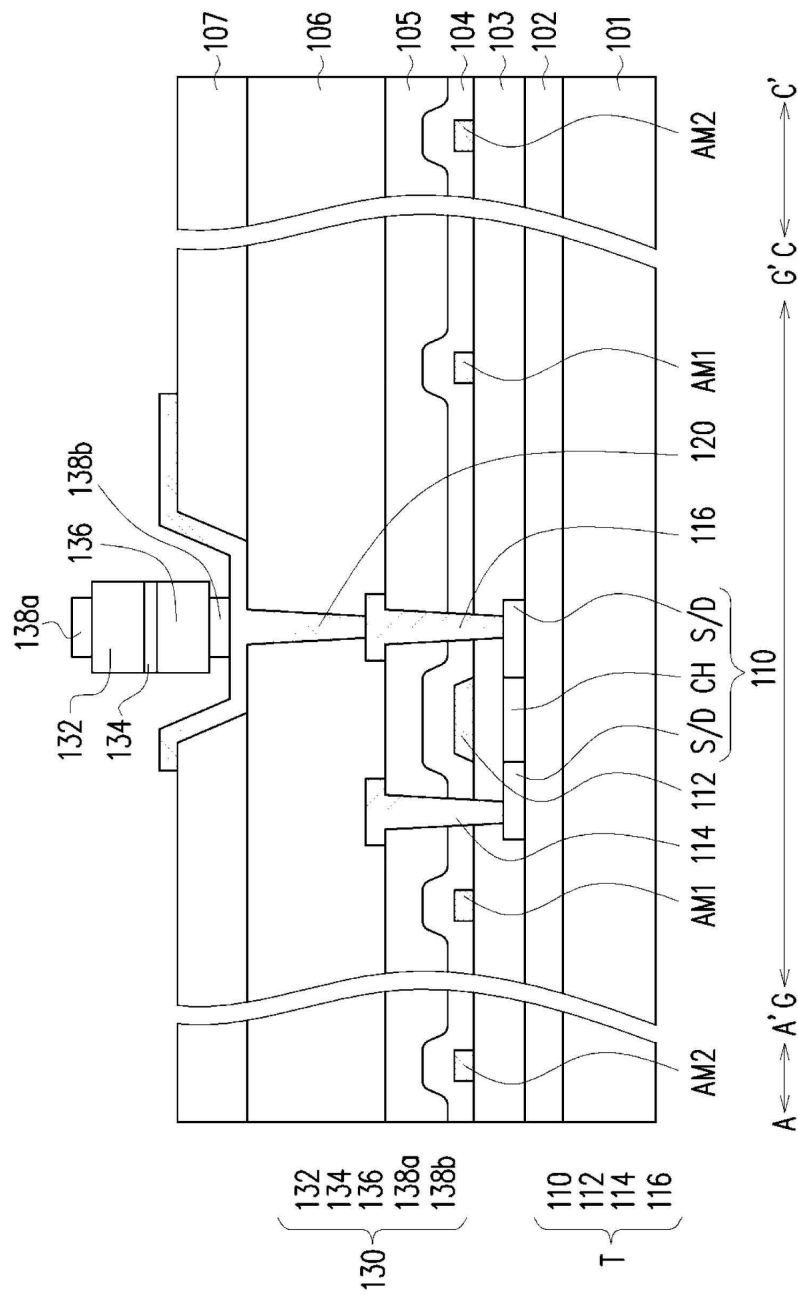
도면15a



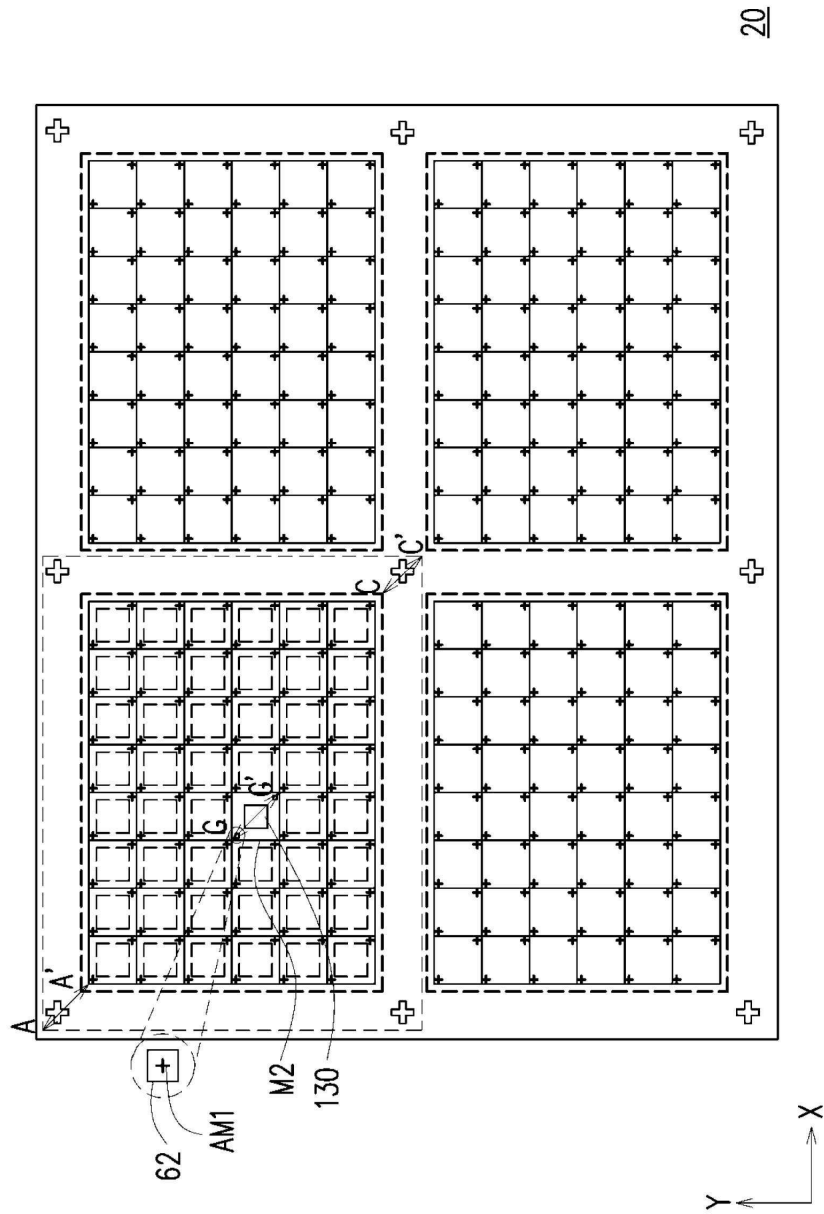
도면15b



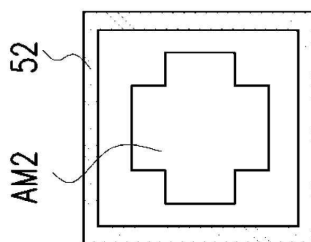
도면17a



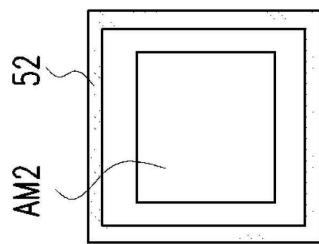
도면17b



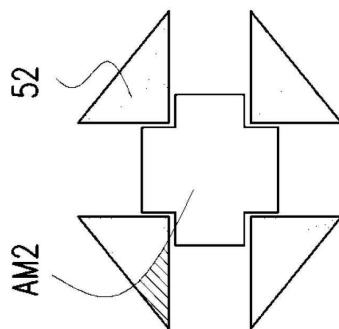
도면18a



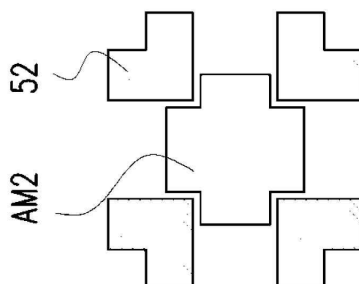
도면18b



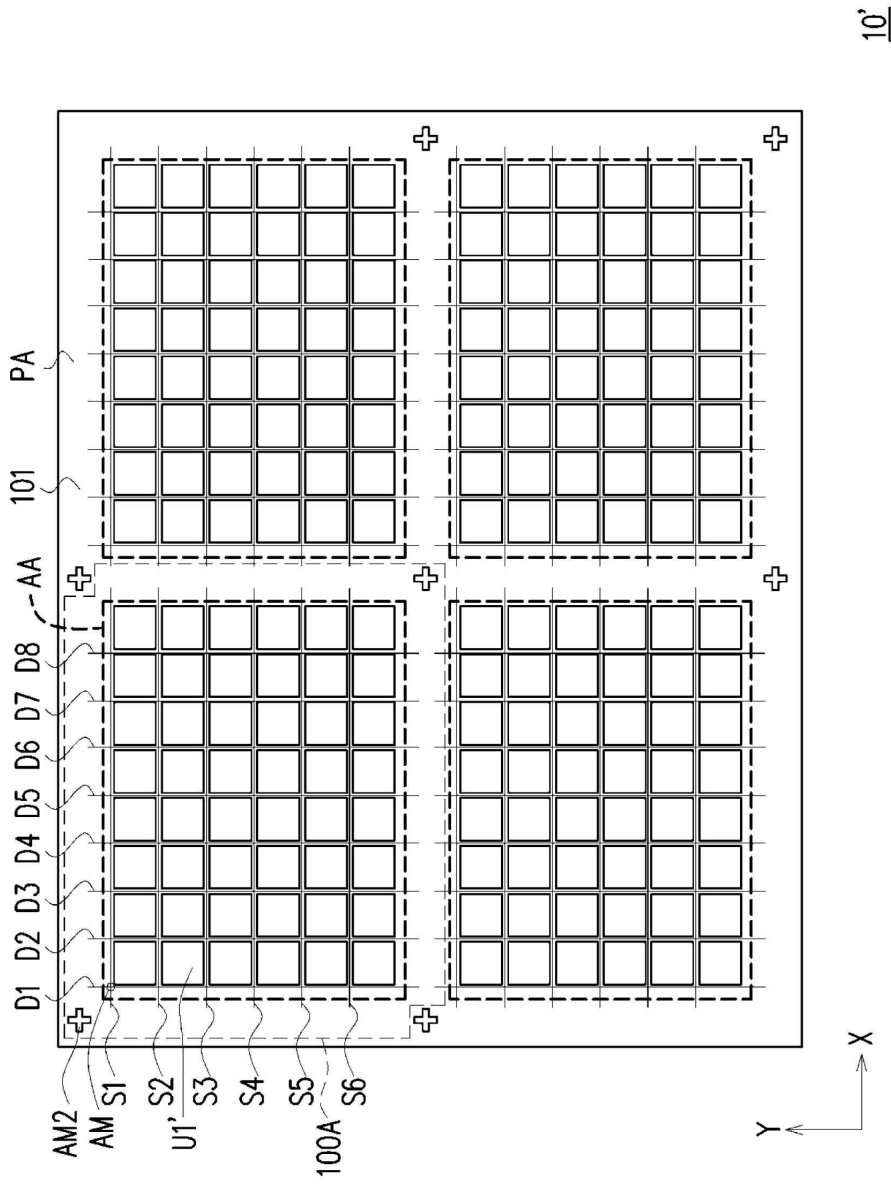
도면18c



도면18d



도면19



专利名称(译)	显示设备		
公开(公告)号	KR1020180080091A	公开(公告)日	2018-07-11
申请号	KR1020170104611	申请日	2017-08-18
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	伊诺力士公司		
当前申请(专利权)人(译)	伊诺力士公司		
[标]发明人	KUAN FENG LEE 쿠안펑리 YU HSIEN WU 유시엔우		
发明人	쿠안 펑리 유 시엔우		
IPC分类号	H01L27/15 H01L23/544 H01L33/48		
CPC分类号	H01L27/156 H01L23/544 H01L33/48 H01L27/124 H01L25/0753 H01L25/167		
代理人(译)	韩国庆熙		
优先权	62/441579 2017-01-03 US 15/590030 2017-05-09 US 62/450106 2017-01-25 US		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及显示装置。显示装置包括基板，多个晶体管或多个显示单元，以及多个对准标记。基板包括显示区域和与显示区域相邻的非显示区域。多个晶体管布置在基板的显示区域上。多个显示单元布置在基板的显示区域上，并且多个显示单元与多个晶体管电连接。多个对准标记布置在基板上，并且至少1个布置在基板的显示区域上的多个对准标记之间。

